

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-209075  
(43) Date of publication of application : 26.07.1994

---

(51) Int. Cl. H01L 27/04

G11C 11/02

H01L 21/3205

H01L 29/82

---

(21) Application number : 05-224082 (71) Applicant : NATL SEMICONDUCTOR CORP <NS>  
(22) Date of filing : 09.09.1993 (72) Inventor : THOMAS MICHAEL E SAADAT IRFAN

---

(30) Priority

Priority number :	92 942957	Priority date :	10.09.1992	Priority country :	US
-------------------	-----------	-----------------	------------	--------------------	----

---

## (54) INTEGRATED CIRCUIT MAGNETIC MEMORY ELEMENT AND ITS MANUFACTURE

(57) Abstract:

PURPOSE: To provide a memory element with a magnetic memory element formed on a substrate.

CONSTITUTION: A memory element 100 includes a first conductive layer formed in a specific pattern 18 on a substrate and a first insulation layer is arranged on a substrate surface and the pattern. A magnetizable material layer is arranged on the insulation layer and is formed in a

pattern 102 with a specific position relationship for a lower patternization first conductive layer. A second insulation layer is arranged on the first insulation layer and the pattern of a magnetizable material. An opening is formed on the insulation layer and the specific electrical contact region of the patterninization, first conductive layer at a lower side is exposed. A second conductive layer is arranged 46 so that it contacts the electrical contact region onto the second insulation layer and into the opening. The second conductive layer is formed in a pattern 44 with a specific position relationship regarding the pattern of a lower magnetizable material and the pattern of the first conductive layer. The pattern 18 of the first conductive layer and a pattern 44 of the second conductive layer demarcate at least two conductive coils 104, 106, and 108 that are arranged around the pattern 102 of the magnetizable material.

---

#### LEGAL STATUS

[Date of request for examination] 21.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3439799

[Date of registration] 13.06.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

---

#### CLAIMS

---

[Claim(s)]

[Claim 1] (a) The memory device containing at least two conductive coils which were formed the magnetizable member formed on the substrate, and on the (b) substrate, and have been arranged around a magnetizable member.

[Claim 2] The memory device of claim 1 which was substantially formed on the substrate in parallel to said magnetizable member and which contains a conductive straight-line-like member further substantially.

[Claim 3] The memory device of claim 2 by which the conductive member of the shape of said straight line is arranged on the outside of said coil.

[Claim 4] The memory device of claim 2 by which the conductive member of the shape of said straight line is arranged inside said coil.

[Claim 5] The memory device of claim 1 in which said magnetizable member has the 1st and 2nd edges.

[Claim 6] The memory device of claim 1 whose number of said conductive coils is 3.

[Claim 7] The phase which is the manufacture approach of an integrated-circuit memory device, and arranges the 1st layer of a conductive ingredient on the front face of (a) electric insulation substrate, (b) The phase which forms the 1st layer of a conductive ingredient in the 1st predetermined pattern, (c) The phase which arranges the 2nd layer of an electric insulation ingredient on the front face of an electric insulation substrate, and the 1st layer of the conductive ingredient by which pattern formation was carried out, (d) The phase which arranges the 1st layer of a magnetizable ingredient on the 2nd [ of an insulating ingredient ] layer, (e) The phase formed in the predetermined pattern which has position relation about the 1st layer of the conductive ingredient which is in the bottom about the 1st layer of a magnetizable ingredient, and by which pattern formation was carried out, (f) The phase which arranges the 3rd layer of an electric insulation ingredient on the 1st layer to which pattern formation of the 2nd layer of an insulating ingredient and the magnetizable ingredient was carried out, (g) The phase of exposing the predetermined electric surface of action on the 1st [ of the conductive ingredient with which opening was formed in the layer of an insulating ingredient with the bottom, and pattern formation of / lower / was carried out to it ] layer, (h) The 2nd layer of a conductive ingredient up to the 3rd [ of an electric insulation ingredient ] layer, and into opening The phase arranged so that the electric surface of action where the 1st layer of the conductive ingredient with which pattern formation of [ lower ] was carried out was exposed may be contacted electrically, And the phase formed in the 2nd

predetermined pattern which has position relation about the layer of the magnetizable ingredient with which pattern formation of [ lower ] was carried out in the 2nd layer of (i) conductivity ingredient, and the 1st layer of a conductive ingredient by which pattern formation was carried out is included. The approach the 1st layer of the conductive ingredient by which pattern formation was carried out, and the 2nd layer of a conductive ingredient by which pattern formation was carried out consist of demarcating at least two conductive coils arranged around the magnetizable ingredient by which pattern formation was carried out.

[Claim 8] The phase which is the manufacture approach of an integrated-circuit memory device, and arranges the 1st layer of a conductive ingredient on the (a) substrate, (b) The phase which forms the 1st layer of a conductive ingredient in the 1st predetermined pattern, (c) The phase which arranges the 1st layer of an insulating ingredient on a substrate and the 1st [ of the conductive ingredient by which pattern formation was carried out ] layer, (d) The phase of exposing the electric surface of action on the 1st [ of the conductive ingredient with which opening was formed in the 1st layer of an insulating ingredient, and pattern formation of / lower / was carried out to it ] layer, (e) The 2nd layer of a conductive ingredient up to the 1st [ of an insulating ingredient ] layer, and into opening The phase arranged so that the electric surface of action where the 1st layer of the conductive ingredient with which pattern formation of [ lower ] was carried out was exposed may be contacted electrically, (f) The phase formed in the predetermined pattern which has position relation about the 1st layer of the conductive ingredient with which pattern formation of [ lower ] was carried out in the 2nd layer of a conductive ingredient, (g) The need of forming what has at least two loop formations of the count of predetermined which is the spiral coil of a conductive same axle ingredient substantially, and by which each coil is arranged around a central part and a central part is accepted. The phase which arranges the phase which repeats said phase (c), (d), (e), and (f), and the last layer of (h) electric insulation ingredient on the layer of the last of the conductive ingredient with electric insulation ingredient a layer and the bottom with the bottom by which pattern formation was carried out, (i) The phase which forms opening in the layer of an insulating ingredient with insulating ingredient last layer and last bottom so that it may have consistency substantially with a shaft common to a coil, (j) How to consist of including the phase which forms in a predetermined pattern the layer of the phase which forms the layer of a magnetizable ingredient up to the layer of the last of an insulating ingredient, and

into opening, and a (k) magnetizable ingredient.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the memory formed on a substrate as some integrated circuits in more detail about an integrated circuit.

[0002]

[Description of the Prior Art] Typically, the memory device in an integrated circuit consists of a transistor arranged so that the capacitor in dynamic memory or a static memory component may be demarcated. Dynamic memory has the fault that refresh is frequently required, in order to maintain the charge of a capacitor. The manufacture of static memory is comparatively complicated and it occupies a lot of area in a substrate.

[0003] It is well-known to offer the memory which consists of a ferromagnetic member according to individual and which is known as a magnetic core memory. A magnetic core memory does not need refresh. However, a magnetic core memory is late, and if it carries out from today's criterion, a lot of power will be consumed. Furthermore, a magnetic core memory cannot be used as an integrated circuit.

[0004]

[Problem(s) to be Solved by the Invention] The area needed in a substrate is the minimum and the technical problem of this invention is offering the nonvolatile memory for integrated circuits which can be manufactured comparatively simply.

[0005] Another technical problem of this invention is offering the memory device of the low power in the high speed which has a magnetizable memory device.

[0006]

[Means for Solving the Problem] A memory device contains the magnetizable member formed on the substrate, and at least two conductive coils which were formed in the substrate and have been arranged around a magnetizable member.

[0007] The phase where the method of manufacturing an integrated-circuit memory device arranges the 1st layer of a conductive ingredient on the

front face of an electric insulation substrate, The phase which forms the 1st layer of a conductive ingredient in the 1st predetermined pattern, and the phase which arranges the 2nd layer of an electric insulation ingredient on the front face of an electric insulation substrate, and the 1st layer of the conductive ingredient by which pattern formation was carried out, The phase which arranges the 1st layer of a magnetizable ingredient on the 2nd [ of an insulating ingredient ] layer, The phase formed in the predetermined pattern which has position relation about the 1st layer of the conductive ingredient which is in the bottom about the 1st layer of a magnetizable ingredient, and by which pattern formation was carried out, The phase which arranges the 3rd layer of an electric insulation ingredient on the 1st layer to which pattern formation of the 2nd layer of an insulating ingredient and the magnetizable ingredient was carried out, The phase of exposing the predetermined electric surface of action on the 1st [ of the conductive ingredient with which opening was formed in the layer of an insulating ingredient with the bottom, and pattern formation of / lower / was carried out to it ] layer, The 2nd layer of a conductive ingredient up to the 3rd [ of an electric insulation ingredient ] layer, and into opening The phase arranged so that the electric surface of action where the 1st layer of the conductive ingredient with which pattern formation of [ lower ] was carried out was exposed may be contacted electrically, The phase formed in the 2nd predetermined pattern which has position relation about the layer of the magnetizable ingredient with which pattern formation of [ lower ] was carried out in the 2nd layer of a conductive ingredient, and the 1st layer of a conductive ingredient by which pattern formation was carried out is included. The 1st layer of the conductive ingredient by which pattern formation was carried out, and the 2nd layer of a conductive ingredient by which pattern formation was carried out consist of demarcating at least two conductive coils arranged around the magnetizable ingredient by which pattern formation was carried out.

[0008] The phase where the method of manufacturing an integrated-circuit memory device arranges the 1st layer of a conductive ingredient on the front face of an electric insulation substrate again, The phase which forms the 1st layer of a conductive ingredient in the 1st predetermined pattern, and the phase which arranges the 1st layer of an insulating ingredient on a substrate and the 1st [ of the conductive ingredient by which pattern formation was carried out ] layer, The phase of exposing the electric surface of action on the 1st [ of the conductive ingredient with which opening was formed in the 1st layer of an insulating

ingredient, and pattern formation of / lower / was carried out to it ] layer, The phase which arranges the 2nd layer of a conductive ingredient so that the electric surface of action where the 1st layer of the conductive ingredient with which pattern formation of [ lower ] was carried out on the 1st [ of an insulating ingredient ] layer and into opening was exposed may be contacted electrically, The phase formed in the predetermined pattern which has position relation about the 1st layer of the conductive ingredient with which pattern formation of [ lower ] was carried out in the 2nd layer of a conductive ingredient, The need of forming what has at least two loop formations of the count of predetermined which is the spiral coil of a conductive same axle ingredient substantially, and by which each coil is arranged around a central part and a central part is accepted. The layer of an insulating ingredient is arranged on the layer of the conductive ingredient with which pattern formation of the layer of a lower insulating ingredient and the bottom was carried out. The electric surface of action on the layer of the conductive ingredient with which opening was formed in the layer of the newly formed insulating ingredient, and pattern formation of [ lower ] was carried out to it is exposed. The phase which repeats the phase which arranges the layer of a conductive ingredient on the layer of an insulating ingredient so that the exposed electric surface of action may be contacted electrically, and forms the further layer of a conductive ingredient in a predetermined pattern, The phase which arranges the last layer of an electric insulation ingredient on the layer of the last of the conductive ingredient with electric insulation ingredient a layer and the bottom with the bottom by which pattern formation was carried out, The phase which forms opening so that it may have consistency substantially with a shaft common to a coil, the phase which forms the layer of a magnetizable ingredient up to the layer of the last of an insulating ingredient and into opening, and the phase which forms the layer of a magnetizable ingredient in a predetermined pattern are included in the layer of an insulating ingredient with insulating ingredient last layer and last bottom.

[0009]

[Example] The various processes of manufacturing a micro MAG memory device on the substrate for integrated circuits are shown to drawing 11 from drawing 1 by this invention. Then, reference of drawing 1 shows the substrate 10, for example, a silicon substrate, roughly in the cross section. A substrate 10 can have an active device or an additional magnetic memory device by the component of this invention formed there. Various kinds of ingredients extensive as a substrate 10 are usable. For

example, a substrate 10 may be beryllium oxide or a diamond. If it furthermore illustrates, a substrate 10 may be a polycrystal ingredient, for example, an alumina.

[0010] For example, the 1st insulating layer 12 which consists of a silicon dioxide and which consists of an insulating material is formed on the substrate 10. Although a silicon dioxide is a desirable ingredient, as the 1st insulating layer 12, other ingredients, such as spin on a dielectric or spin on glass, are suitable. The desirable thickness of the 1st insulating layer 12 is 7500A. The 1st insulating layer 12 is formed of the plasma strengthening CVD (PECVD).

[0011] If it is a request, at least one opening (not shown) can be formed in the 1st insulating layer 12, and the predetermined electric surface of action on the top front face of a substrate 10 can be exposed. This opening is demarcated using the desirable known photoresist method, and although the insulating material of the 1st insulating layer 12 is subsequently attacked, it is etched using the etching reagent which does not react in the lower substrate 10 but stops there.

[0012] In the example by which the magnetic memory device by this invention is formed on an insulating substrate, neither the 1st insulating layer 12 which consists of an insulating material, nor opening in this layer is required.

[0013] The 1st conductive layer 16 of a conductive ingredient, for example, an alumina, or a tungsten alloy is formed on the 1st insulating layer 12. The 1st conductive layer 16 is preferably formed in an alumina the thickness of the range of about 3000 to about 15000A (1.5 micrometers), and by carrying out sputtering to even the thickness of about 7500A being preferably. Subsequently, reference of drawing 2 forms the 1st conductive layer 16 in the predetermined pattern of the conductive segment 18 using a known photoresist and a known etching technique. Drawing 3 is a sectional view in alignment with Rhine C-C of drawing 2. conductivity -- a segment -- 18 -- inside -- three -- a \*\* -- from -- extending -- as -- attaching -- having had -- a segment -- an extension -- 18 -- ' -- 18 -- " -- and -- 18 -- " -- ' -- preparing -- having -- \*\*\* -- things -- \*\*\*ing) -- it will have . an extension -- 18 -- ' -- 18 -- " -- and -- 18 -- " -- ' -- mentioning later -- as -- this invention -- depending -- a memory device -- a coil -- between -- electrical installation -- being established -- a sake -- preparing -- having -- \*\*\* .

[0014] Now, reference of drawing 4 forms the 2nd insulating layer 20 which consists of an insulating material which is a silicon dioxide, for example on the 1st insulating layer 12 and the conductive segment 18.

The thickness of the 2nd insulating layer 20 is about 10000A. When the 2nd insulating layer 20 consists of a silicon dioxide, as for the 2nd insulating layer 20, being formed using a PECVD technique is desirable. The 1st magnetizable layer 22 which consists of a magnetizable ingredient is preferably arranged by sputtering on the 2nd insulating layer 20. Any of many magnetizable ingredients can also be used. For example, the 1st magnetizable layer 22 consists of iron, a silicon-iron alloy, a nickel-iron alloy, a cobalt-iron alloy, or an ingredient in which other magnetization is possible. About 30000A of thickness of the 1st magnetizable layer 22 is about 1.5 micrometers preferably from about 1000A.

[0015] The 1st magnetizable layer 22 is formed in the predetermined pattern which has position relation to the conductive segment 18 of a conductive ingredient with the bottom using a known photoresist and a known etching technique. One example of this predetermined pattern is shown in drawing 5. The predetermined pattern of the magnetizable ingredient 24 by which pattern formation was carried out has a long and slender rectangular configuration by the solid, and is arranged as it is also by the relation which carries out it substantially on the conductive segment 18 with the bottom for 2 minutes, so that it may \*\*\* in drawing 5. The reason of this physical relationship between the magnetizable ingredients 24 and the lower conductive segments 18 by which pattern formation was carried out becomes behind clear in this detailed explanation. Drawing 6 is the sectional view taken along with Rhine F-F of drawing 5.

[0016] Now, if drawing 8 which is the sectional view of drawing 7 and drawing 7 taken along with Rhine H-H is referred to, the 3rd insulating layer 26 which consists of a silicon dioxide preferably is preferably formed by the thickness of about 10000A of PECVD on [ to which pattern formation of the 2nd insulating layer 20 and the 1st was carried out / magnetizable ] the layer 24. Opening of the path 40 is carried out through the 3rd insulating layer 26 and 2nd insulating layer 20, and the electric surface of action on the conductive segment 18 to which pattern formation of [ lower ] was carried out is exposed as drawing 8 is shown best. Since this exposed electric surface of action becomes behind clear in this detailed explanation, it is desirable that it is in the edge chosen among the conductive segments 18.

[0017] Opening of the path 40 is carried out using a known photoresist and a known etching technique. That is, for example, opening is demarcated using the known photoresist method, and subsequently, an insulating material is etched using the etching reagent which stops on

the front face of the conductive segment 18 with the bottom by which pattern formation was carried out, although etched. In an example with it, opening can be formed in the group (responding to the thickness of each insulating layer) of an insulating layer, in order to prevent that can form in each class after formation of each insulating layer, or the etching depth becomes superfluous. [ deep for example, path opening and ] [ deeper than about 3 micrometers ] In such a case, it is formed by returning until a conductive plug deposits the metal like a tungsten preferably up to the top front face of the group of an insulating layer or an insulating layer, and into opening and the top face of each plug subsequently turns into substantially a top front face of the group of an insulating layer or an insulating layer with the same flat surface in opening formed in the group of this insulating layer or an insulating layer. It is repeated about the group of each insulating layer by which penetration formation of the opening is carried out, or an insulating layer, the plug formed according to the individual in each opening becomes together, and it is made for this to have the perpendicular conductor which extends from the pars basilaris ossis occipitalis of each deep opening to the upper part formed.

[0018] The nucleation layer 41 which consists of an ingredient like titanium/tungsten (TiW) is arranged on the 3rd insulating layer 26 and in a path 40, and is electrically contacted with the electric surface of action exposed on the lower conductive segment 18. In the desirable example, the nucleation layer 41 is formed by carrying out sputtering of titanium / the tungsten ingredient to the thickness of about 1000A.

[0019] If drawing 9 is referred to, the 2nd conductive layer 42 which consists of a conductive ingredient like a tungsten will be arranged on the nucleation layer 41 previously arranged on the 3rd insulating layer 26, and into a path 40, and will contact electrically through the electric surface of action and nucleation layer which were exposed on the lower conductive segment 18. Of CVD, the 2nd conductive layer 42 is preferably formed by the thickness of about 7500A. Pattern formation of the 2nd conductive layer 42 which consists of a conductive ingredient is carried out to the conductive segment 44 as shown in drawing 10 and drawing 11 using a known desirable photoresist and a desirable known etching technique. In the example shown in drawing 11, termination of the edge of each conductive segment 44 is carried out by the conductive perpendicular member 46, and these are caudad prolonged through a path 40 and touch the conductive segment 18 with the bottom. The conductive perpendicular member 46 contains the tungsten layer on the nucleation layer 41. As shown in drawing 12, it is arranged on the 3rd insulating

layer 26 to which the layer 48 of the electric insulating material like a silicon dioxide, phospho silicate glass (PSG), non-doped silicate glass (USG), or silicon nitride becomes that even the thickness of about 7500A is by the PECVD technique from an insulating material preferably, and the conductive segment 44.

[0020] Now, reference of drawing 13 shows the magnetic memory device 100 formed there by the approach roughly mentioned above as a perspective view is also. A memory device 100 contains the magnetizable member 102 and three separate coils 104, 106 and 108 so that it may \*\*\*\* in drawing 13. Each coil is formed of two conductive segments 18, two conductive perpendicular members 46, and at least one conductive segment 44. Each coils 104, 106 and 108 enclose a part of magnetizable member 102 as a result position-related [ between the conductive segment 44, a path 40, and the lower conductive segment 18 ] in \*\*\*\* shown in drawing 11 and drawing 12, the position relation between the magnetizable ingredients 24 and the lower conductive segments 18 by which pattern formation was carried out, arrangement of a path 40, and a list. Coils 104, 106 and 108 are isolated electrically mutually.

[0021] The array of a memory device 100 can be prepared on a substrate, and, thereby, a memory chip can be formed. In such an array, each of coils 104, 106 and 108 becomes a conductor containing this one coil in each of many memory devices, or a part of Rhine. In the memory chip using the memory device by this invention, there are a number of x lines chosen typically and a selected number of y lines. One of the coils of each memory device becomes x lines, and one with the another coil of each memory device becomes y lines. Each memory device is identified by x lines which crosses in the memory device, and y lines at a proper. The 3rd coil of each memory device becomes a part of sense line containing one coil in each of the memory device in an array.

[0022] Reference of drawing 35 shows the magnetic memory device 500 which is another example of the magnetic memory device 100 roughly mentioned above about drawing 13 as a perspective view is also there. A memory device 500 contains the magnetizable member 502 and two separate coils 504 and 506 so that it may \*\*\*\* in drawing 35. Each coil 504, 506 is formed of two horizontal conductive segments 518, two conductive perpendicular members 546, and two horizontal conductive segments 544. It has 518" and extension 518' and the electrical installation to a coil 504, 506 are brought to the end of a coil 504, 506. Each coil 504, 506 encloses a part of magnetizable member 502 as a result position-related [ between the conductive segment 544, the conductive perpendicular member 546, and the lower conductive segment 518 ] in the position

relation between the magnetic adjusters and the lower conductive segments 518 which constitute the magnetizable member 502 and by which pattern formation was carried out, arrangement of the path filled up with the metal that the conductive perpendicular member 546 should be demarcated, and a list. In addition, the magnetic memory device 500 contains the conductive straight-line-like member 515. The conductive straight-line-like member 515 is arranged on the outside of a coil 504, 506, and is electrically isolated from the coil 504, 506 and the magnetizable member 502. In the example shown in drawing 35, the conductive straight-line-like member 515 is arranged above the level conductive segment 544 of a coil 504, 506. However, the conductive straight-line-like member 515 may recollect that it can arrange also to which flank of a coil 504, 506, or the down side in parallel with the magnetizable member 502.

[0023] Reference of drawing 36 shows magnetic memory device 500' which is another example of the magnetic memory device 500 of drawing 35 roughly as a perspective view is also there. Memory device 500' of drawing 36 is the same as that of the memory device 500 of drawing 35 except for the point that straight-line-like conductive member 515' is arranged inside the coil 504, 506, and it is in contact with the magnetizable member 502. Both ends have extended exceeding the magnetizable member 502, and straight-line-like conductive member 515' can bring electrical installation to straight-line-like conductive member 515' now. In the example shown in drawing 36, straight-line-like conductive member 515' is arranged in the upper part of the magnetizable member 502. However, straight-line-like conductive member 515' can recollect other various configurations arranged inside a coil 504, 506. Straight-line-like conductive member 515' can be arranged to the magnetizable member 502 bottom or which flank, and does not need to touch the magnetizable member 502.

[0024] A memory device 500 is manufactured except for the point that a coil is manufactured only two, nothing according to the technique substantially indicated about drawing 12 from drawing 1 by three, as indicated and illustrated about drawing 12 from drawing 1.

[0025] Reference of drawing 37 shows the sectional view similar to drawing 12 showing one process in manufacture of the memory device 500 which has only two coils arranged around a magnetizable member and a magnetizable member. The 1st insulating layer 512 which consists of an insulating ingredient which then, carried out the deer and was formed on the substrate 510 and the substrate 510, The 2nd insulating layer 520 formed on the conductive segment 518 formed on the 1st insulating layer

512, and the 1st insulating layer 512 and the conductive segment 518, The 3rd insulating layer 526 formed on the 2nd insulating layer 520, and the conductive segment 544 formed on the 3rd insulating layer 526, The conductive perpendicular member 546 (the nucleation layer 541 is included) which is caudad prolonged through the 3rd insulating layer 526 and 2nd insulating layer 520 from the conductive segment 544, and contacts the lower conductive segment 518, The layer 548 of the electric insulation ingredient arranged on the 3rd insulating layer 526 and the conductive segment 544 is shown. It will be understood that the sectional view shown in drawing 37 is a like in the sectional view of drawing 12. The 3rd conductive layer 550 of aluminum or the conductive ingredient like a tungsten alloy is formed on the insulating layer 548. The 3rd conductive layer 550 is preferably formed in aluminum the predetermined thickness of the range of about 3000 to about 15000A, and by carrying out sputtering to the thickness of about 7000A preferably. Now, if drawing 38 which is a top view is referred to, the 3rd conductive layer 550 is formed in the predetermined pattern, for example, the conductive straight-line-like segment 515, i.e., a conductive straight-line-like member, is demarcated using a known photoresist and a known etching technique. To the conductive segment 544 and the magnetizable member 502, the conductive straight-line-like member 515 is arranged as it is also by position relation.

[0026] The example of drawing 36 is manufactured according to the approach mentioned above about drawing 6 from drawing 1 by forming the magnetizable member 502 on the dielectric layer on the conductive segment of the coil 504, 506 bottom, and a lower conductive segment, and a dielectric layer, and it deals in it. For example, subsequently to the magnetizable member 502 and front-face top of a lower dielectric layer, the metal layer which consists of aluminum or a tungsten alloy is formed. Subsequently according to an ordinary technique, pattern formation of this metal layer is carried out, and straight-line-like conductive member 515' is demarcated.

[0027] as the sense line for memory device 500 in the conductive straight-line-like member 515 -- operating -- straight-line-like conductive member 515' -- memory device 500' -- it can operate as a sense line of \*\*. In the example of drawing 35 and drawing 36, one side of a coil 504, 506 is the part of x lines, and another side of a coil 504, 506 is the part of y lines. Since the current in x lines and y lines becomes together, and a magnetic field strong enough must be offered as the magnetization direction of the magnetizable member 502 is changed, it is desirable to equip the perimeter of the magnetizable member 502

with both x lines and y lines as a coil. However, to be fully close is only needed for the magnetizable member 502 so that, as for a sense line, reversal of the magnetic field in the magnetizable member 502 may carry out induction of the current to a sense line. Consequently, conductive member 515 of shape of straight-line-like conductive member 515 or straight line' can offer a part of sense line, and can detect change of the magnetization direction of the magnetizable member 502. Since only two coils are required, the memory device 500 of drawing 35 or the manufacture approach of memory device 500 of drawing 36' is simpler than the manufacture approach of the memory device 100 of drawing 13.

[0028] Many advantages can be acquired by the memory device of this invention. Refresh is not required of the memory device according to this invention unlike an ordinary DRAM memory device. Moreover, unlike an ordinary SRAM memory device, the memory device by this invention does not need many transistors. It is good rather than it can set dissipation of heat, therefore power processing to the core memory of the conventional technique according to the fact that the memory device by this invention is arranged in a substrate means. By preparing the memory device by this invention into a substrate, it becomes possible to offer the three-dimension memory array of a memory device which increases recording density greatly as compared with the memory of the transistor base. In the memory array which consists of a memory device by this invention, that the magnitude of a magnetizable member is small can attain high frequency operation.

[0029] In the example shown in drawing 13, although there are two loop formations about each of the spiral coil according to three individuals, pattern formation is possible for a path 40 in the 1st conductive layer 16 and the 2nd conductive layer 42, and a list, so that a number considered as the request of a specific memory device of loop formations which are different in a coil according to an electric and magnetic property may be held. Similarly, although there are two loop formations about each of the spiral coil according to two individuals in the example shown in drawing 35 and drawing 36, pattern formation is possible for a conductive layer and a path so that a different number in a coil of loop formations may be held. Moreover, although the magnetizable ingredient for forming a magnetizable member consisted of a monolayer in the desirable example mentioned above, it must also lay on heart that a magnetizable member can consist of a magnetizable ingredient by which the laminating was carried out. This forms the 2nd magnetizable layer which consists of a magnetizable ingredient after forming the 3rd insulating layer 26 on [ by which pattern formation was

carried out / magnetizable ] an ingredient 24, it carries out pattern formation of this 2nd magnetizable layer so that it may have the same geometry substantially with the magnetizable ingredient 24 by which pattern formation was carried out, is attained by arranging another insulating layer 2nd on [ magnetizable ] a layer, and deals in it. Or after a magnetizable member forms the 1st magnetizable layer 22, again Form an insulating layer 1st [ this ] on [ magnetizable ] a layer 22, and the 2nd magnetizable layer which consists of a magnetizable ingredient is formed on this insulating layer. It is possible by arranging another insulating layer 2nd [ this ] on [ magnetizable ] a layer, carrying out pattern formation of both magnetizable layers and both insulating layers subsequently, and demarcating a magnetizable member to constitute from a magnetizable ingredient by which the laminating was carried out. Drawing 35 and the magnetizable member 502 of drawing 36 can consist of magnetizable ingredients by which the laminating was carried out similarly. Although the approach indicated in this detailed explanation uses the thin film technology for the configuration of a memory device, according to this invention, what forms a thick-film technique, for example, a metal layer, by plating can be used effectively further again.

[0030] About the front face of the substrate which has the shaft and the magnetizable member of a spiral coil in the bottom, in operation, the memory device shown in drawing 13 , drawing 35 , and drawing 36 is constituted so that in parallel. In this arrangement, it develops on the front face of a substrate and a memory device can account for the comparatively big rate of the area of an integrated circuit depending on the number of the loop formations in a coil. This fault is avoidable by accumulating the layer of these level components mutually. In order to save the area per [ which is occupied by the memory device ] layer, so that substantially perpendicularly [ it may be substantially perpendicular and / a magnetizable member ] to the front face of a lower substrate, for example, as the shaft of a coil is roughly shown in drawing 14 , it can constitute an array to the front face of a lower substrate. In the arrangement shown in drawing 14 , the magnetizable member 302 of a memory device 300 and the common shaft of coils 304, 306 and 308 are substantially perpendicular to a lower substrate (not shown).

[0031] The various processes for manufacturing the memory device in the integrated circuit by the example of this invention shown in drawing 14 are shown in drawing 34 from drawing 15 . As for the approach used in order to form a path and a predetermined pattern in a conductive layer and a magnetizable layer at the approach used in order to form various

layers, the thickness of each class, and a list, it is desirable to be [ was mentioned above about drawing 12 from drawing 1 ] what, and that it is the same. Now, reference of drawing 15 shows the substrate 410 which is a sectional view roughly, for example, is a silicon substrate there. What types which can be used for manufacturing an integrated circuit, such as silicon or arsenide of a gallium, of ingredient is sufficient as a substrate 410. Or a passivation substrate like an aluminum oxide is sufficient as a substrate 410 again. It must be cautious of the ability of a substrate 410 to also consist of a substrate of the insulating material for supporting the additional memory device formed of this invention again. In this alternative-example of this invention, it connects electrically that a memory device is also for two-dimensional or a three-dimension array to the same memory device, and each of the coil in each memory device comes to form some comparatively long conductors containing two or more coils of the memory device in an array.

[0032] The 1st conductive layer 416 which consists of an ingredient like aluminum is formed on a substrate 410. Subsequently, reference of drawing 17 which is the sectional view of drawing 16 and drawing 16 in alignment with Rhine C-C forms the 1st conductive layer 416 in the predetermined pattern of the conductive segment 418 using a known photoresist and a known etching technique. The conductive segment 418 forms the lead wire for connecting with the coil with which the memory device which forms some of each three coils 304, 306 and 308 shown in drawing 14, and adjoins in the memory chip using the memory device by this invention corresponds electrically.

[0033] Next, reference of drawing 19 which is the sectional view of drawing 18 and drawing 18 in alignment with Rhine E-E forms the 1st insulating layer 420 on the substrate 410 and the conductive segment 418 of the 1st conductive layer by which pattern formation was carried out. Opening 422, i.e., a path, is formed in the 1st insulating layer 420, and the predetermined electric surface of action on each top front face of the conductive segment 418 is exposed. Like illustration, the path 422 is arranged so that a surface of action may be exposed in each end of the conductive segment 418. A path 422 is formed using a known photoresist and a known etching technique.

[0034] Reference of drawing 20 forms the 2nd conductive layer 424 which consists of a conductive ingredient like aluminum so that the selection surface of action where it was exposed on the lower conductive segment 418 up to the 1st insulating layer 420 and into the path 422 may be contacted. The 2nd conductive layer 424 is formed in the conductive

segment 428 of a predetermined pattern as shown in drawing 22 which is the sectional view of drawing 21 and drawing 21 taken along with Rhine H-H, and drawing 23 which is the sectional view of drawing 21 further taken along with Rhine I-I. The conductive segment 428 of this predetermined pattern is formed using a known photoresist and a known etching technique.

[0035] Next, reference of drawing 25 which is the sectional view of drawing 24 and drawing 24 taken along with Rhine K-K forms the 2nd insulating layer 430 on the conductive segment 428 and the 1st insulating layer 420. The path 432 was formed in the 2nd insulating layer 430, and the predetermined surface of action on the lower conductive segment 428 is exposed. These surfaces of action are arranged at each end of the conductive segment 428. A path 432 is formed using a known photoresist and a known etching technique.

[0036] If drawing 27 which is the sectional view of drawing 26 and drawing 26 taken along with Rhine M-M is referred to, the 3rd conductive layer which consists of a conductive ingredient like aluminum will be formed up to the 2nd insulating layer 430 and into a path 432, and it will be in contact with the exposed region on the lower conductive segment 428 this time. The 3rd conductive layer is formed in the predetermined pattern of the conductive segments 434, 436 and 438 using a known photoresist and a known etching technique. The conductive segment 434 is equivalent to a part of 1st coil 304 of the memory device 300 shown in drawing 14. The conductive segment 436 is equivalent to a part of 2nd coil 306 of the memory device 300 shown in drawing 14. The conductive segment 438 is equivalent to a part of 3rd coil 308 of the memory device 300 shown in drawing 14.

[0037] Next, reference of drawing 29 which is the sectional view of drawing 28 and drawing 28 taken along with Rhine O-O forms [ then, ] the 3rd insulating layer 440 on the 2nd insulating layer 430 at the conductive segments 434, 436 and 438 and a list. The path 442 was formed in the 3rd insulating layer 430, and the surface of action on the conductive segment 434, 436 with the bottom and 438 is exposed. A path 442 is arranged preferably in the predetermined location in each edge of the conductive segments 434, 436 and 438. A path 442 is formed using a known photoresist and a known etching technique.

[0038] Now, if drawing 31 which is the sectional view of drawing 30 and drawing 30 taken along with Rhine Q-Q is referred to, the 4th conductive layer which consists of a conductive ingredient like aluminum will be formed up to the 3rd insulating layer 430 and into a path 442, and will touch the exposed region of the conductive segments 434, 436 and 438 with

the bottom. This 4th conductive layer is formed in the predetermined pattern of the conductive segments 446, 448, and 450 using a known photoresist and a known etching technique. The conductive segment 446 is equivalent to a part of 1st coil 304 of the memory device 300 shown in drawing 14. The conductive segment 448 is equivalent to a part of 2nd coil 306 of the memory device 300 shown in drawing 14. The conductive segment 450 is equivalent to a part of 3rd coil 308 of the memory device 300 shown in drawing 14. It will be understood that each segment of coils 304, 306 and 308 is demarcated in the above-mentioned process about each of the layer of a conductive ingredient.

[0039] Reference of drawing 33 which is the sectional view of drawing 32 and drawing 32 taken along with Rhine S-S forms the upside insulating layer 452 on the insulating layer 440 at the conductive segments 446, 448, and 450 and a list. The upside insulating layer 452 consists of a silicon dioxide. The path 454 is formed through all the insulating layers that exist in the middle towards the 1st insulating layer 420 including this 1st insulating layer through an insulating layer 452. The path 454 is arranged at the common shaft of coils 304, 306 and 308. In this way, a part of each insulating layer serves as the form where each of a conductive layer is separated from a path 454. In order to prevent that a path 454 becomes superfluous [ the etching depth ] from about 3 micrometers in a superfluously deep example, for example, a deep example, if it is a request, a path 454 can be continued to formation of each insulating layer, and can be formed in each insulating layer, or can be formed to the group of an insulating layer (responding to each thickness of an insulating layer).

[0040] The layer of a magnetizable ingredient is formed into a path 454 on the upside insulating layer 452. This magnetizable ingredient may be any of the magnetizable ingredient previously enumerated about the approach shown in drawing 12 from drawing 1. the inside of the path formed in each insulating layer in the segment of a magnetizable member when the number and thickness of an insulating layer are difficulty or the thing which is made unreal about formation of the magnetizable ingredient into a path 454 -- or it can form into the path formed in the group of an insulating layer depending on thickness. The layer of a magnetizable ingredient is formed in a predetermined pattern, and the \*\*\* magnetizable member shown by 302 in drawing 34 is demarcated. Subsequently to the magnetizable insulating-layer 452 and member 302 top, the last layer 460 of an insulating material is formed. If it is a request, a path (not shown) can be formed through the last insulating layer 460 and the upside insulating layer 452, and the predetermined

surface of action on the conductive segment 446, 448 and 450 can be exposed. Subsequently these paths are filled up with a conductive ingredient, and connection with the interconnect (not shown) to the memory device adjoined in an array is brought about, or the connection to other devices relevant to this memory array is brought about.

[0041] Next, reference of drawing 39 shows the magnetic memory device 700 which is another example about arrangement roughly as a perspective view is also there. The shaft of a coil is perpendicular substantially to the front face of a substrate with the bottom, and the magnetizable member is also perpendicular substantially to the front face of a lower substrate there. The memory device 700 shown in drawing 39 is arranged on the outside of the magnetizable member 702, the conductive coil 704, 706, and a coil 704, 706, and contains the conductive member 715 of the shape of an parallel straight line substantially to the magnetizable member 702.

[0042] Reference of drawing 40 shows magnetic memory device 700' which is another example about arrangement roughly as a perspective view is also there. The shaft of a coil is perpendicular substantially to the substrate with the bottom, and the magnetizable member is also perpendicular substantially to the lower substrate there. Memory device 700' shown in drawing 40 is electrically isolated inside the magnetizable member 702, the conductive coil 704, 706, and a coil 704, 706, is arranged, and contains conductive member 715' of the shape of an parallel straight line substantially to the magnetizable member 702. Although straight-line-like conductive member 715' contacts the magnetizable member 702 and it is shown, conductive member 715' of the shape of this straight line can also be electrically isolated from the magnetizable member 702.

[0043] The memory device 700 of drawing 39 is manufactured except for the point that a conductive coil is manufactured only two, nothing according to the technique substantially mentioned above about drawing 34 from drawing 15 by three formed in the approach described about drawing 34 from drawing 15. If drawing 41 is referred to here, the process shown in drawing 34 and one similar process are shown there.

[ in / that it is also in a sectional view / manufacture of the memory device 700 of drawing 39 ] The conductive segment 718 which then, carried out the deer and was formed on the substrate 710 and the substrate 710, The 1st insulating layer 720 formed on the substrate 710 and the conductive segment 718, The conductive segment 728 formed on the 1st insulating layer 720, and the 2nd insulating layer 730 formed on the conductive segment 728 and the 1st insulating layer 720, The conductive

segment 736 formed on the 2nd insulating layer 730, and the 3rd insulating layer 740 formed on the conductive segment 736 and the 2nd insulating layer 730, The conductive segment 746 formed on the 3rd insulating layer 740, and the insulating layer 752 formed on the conductive segment 746 and the 3rd insulating layer 740, The last insulating layer 760 formed on the magnetizable member 702 by which was formed until it resulted in the substrate 710 through insulating layers 752, 740, 730 and 720, and pattern formation was carried out on the insulating layer 752, the magnetizable member 702, and the insulating layer 752 is contained.

[0044] If drawing 42 is referred to, it is formed there through all the insulating layers that exist in the middle including this 1st insulating layer until a path 762 results [ from an insulating layer 760 ] in the 1st insulating layer 720. The path 762 is arranged on the outside of coils 704 and 706. Therefore, a part of each insulating layer serves as a form isolated from a path 762 in each conductive segment and the magnetizable member 702. In order to prevent that a path 762 becomes superfluous [ the etching depth ] from about 3 micrometers in a superfluously deep example, for example, a deep example, if it is a request, a path 762 can be continued to formation of each insulating layer, and can be formed in each insulating layer, or can be formed to the group of an insulating layer (responding to each thickness of an insulating layer).

[0045] Reference of drawing 43 forms the layer 764 of a conductive ingredient on an insulating layer 760 and in the path 762. This conductive ingredient is the alloy of aluminum or a tungsten. the inside of the path formed in each insulating layer in the segment of a conductive member when the number and thickness of an insulating layer are difficulty or the thing which is made unreal about formation of the conductive ingredient into a path 762 -- or it can form into the path formed in the group of an insulating layer depending on thickness. The layer 764 of a conductive ingredient is formed in a predetermined pattern, and the conductive member of the shape of a \*\*\* straight line shown by 715 in drawing 39 is demarcated. Subsequently to the conductive insulating-layer 762 and member 715 top, reference of drawing 44 forms the last layer 766 of an insulating material. In this case, in the arrangement shown in drawing 39 , it will be understood that become the part whose one side of a coil 704, 706 is x lines, and another side of a coil 704, 706 serves as a part which is y lines. The conductive straight-line-like member 715 is a part of sense line. The conductive straight-line-like member 715 only needs to fully approach and to arrange to the

magnetizable member 702, so that a current detectable to the conductive member 715 may arise on the occasion of reversal of the magnetic field of the magnetizable member 702.

[0046] Similarly, memory device 700' of drawing 40 is manufactured except for the point that a conductive coil is manufactured only two, nothing according to the technique substantially mentioned above about drawing 21 from drawing 15 by three formed in the approach described about drawing 34 from drawing 15. Following on forming the magnetizable member 702 and a coil 704, 706 perpendicular on a substrate, and forming a upside insulating layer on [magnetizable] a member, a path is formed inside a coil 704, 706. One of the walls of this path is demarcated by the side face of the magnetizable member 702. A path passes along all the layers of an insulating material, and results even in a lower substrate. For example, the layer which consists of a metal like the alloy of aluminum or a tungsten is formed so that it may be filled up with this on a upside insulating layer and into a path. Subsequently pattern formation of this metal layer is carried out, and a conductive straight-line-like member is demarcated.

[0047] In the arrangement shown in drawing 40, he is the part whose one side of a coil 704, 706 is x lines, and it will be understood that it is the part whose another side of a coil 704, 706 is y lines. Straight-line-like conductive member 715' is a part of sense line.

[0048] Also in any of an above-mentioned example, a mask can be formed in the upper part of the last dielectric, and it will be understood that opening of the path can be carried out to a conductive member in order to bring about the electrical installation to a memory device.

[0049] It will be understood that it is possible to perform a design change remarkable about the approach and device of this invention without deviating from the range of this invention. I hear that, as for what should be emphasized although the desirable example of the approach of this invention and a device has been indicated above, the alternative-[the others which are not limited to a desirable example and are completely included within the limits of this invention] example exists as a result in this invention, and it has the intention of being limited by only the attached claim, and this invention has it.

[0050]

[Effect of the Invention] According to the memory device of this invention like \*\*\*\*, unlike an ordinary dynamic RAM, an ordinary static RAM does not need the transistor of difference a large number unnecessarily as for refresh. Moreover, since the memory device by this invention is arranged in the substrate, its dissipation of heat is

better than the conventional core memory. And by preparing the memory device of this invention into a substrate, the three-dimension memory array of a memory device which increases recording density greatly as compared with the memory of the transistor base is offered. The magnetizable member of the memory array by the memory device of this invention is small, and it can attain high frequency operation.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing one process of manufacture of the integrated-circuit memory device by this invention.

[Drawing 2] It is the top view showing one process of manufacture of the integrated-circuit memory device by this invention.

[Drawing 3] It is the sectional view showing one process of manufacture of the integrated-circuit memory device by this invention.

[Drawing 4] It is the sectional view showing one process of manufacture of the integrated-circuit memory device by this invention.

[Drawing 5] It is the top view showing one process of manufacture of the integrated-circuit memory device by this invention.

[Drawing 6] It is the sectional view showing one process of manufacture of the integrated-circuit memory device by this invention.

[Drawing 7] It is the top view showing one process of manufacture of the integrated-circuit memory device by this invention.

[Drawing 8] It is the sectional view showing one process of manufacture of the integrated-circuit memory device by this invention.

[Drawing 9] It is the sectional view showing one process of manufacture of the integrated-circuit memory device by this invention.

[Drawing 10] It is the top view showing one process of manufacture of the integrated-circuit memory device by this invention.

[Drawing 11] It is the sectional view showing one process of manufacture of the integrated-circuit memory device by this invention.

[Drawing 12] It is the sectional view showing one process of manufacture of the integrated-circuit memory device by this invention.

[Drawing 13] It is the rough perspective view of the coil of the memory device manufactured according to the process shown in drawing 12 from drawing 1, and a magnetizable member.

[Drawing 14] It is the rough perspective view of the coil of the memory



[Drawing 35] It is the rough perspective view of the coil of the memory device by another example of this invention, a magnetizable member, and a conductive member.

[Drawing 36] It is the rough perspective view of the coil of the memory device by another example of this invention, a magnetizable member, and a conductive member.

[Drawing 37] It is the sectional view showing the process in manufacture of the integrated-circuit memory device by the example of drawing 35.

[Drawing 38] It is the top view showing the process in manufacture of the integrated-circuit memory device by the example of drawing 35.

[Drawing 39] It is the rough perspective view of the coil of the memory device by another example of this invention, a magnetizable member, and a conductive member.

[Drawing 40] It is the rough perspective view of the coil of the memory device by another example of this invention, a magnetizable member, and a conductive member.

[Drawing 41] It is the sectional view showing one process in manufacture of the integrated-circuit memory device by the example of drawing 39.

[Drawing 42] It is the sectional view showing one process in manufacture of the integrated-circuit memory device by the example of drawing 39.

[Drawing 43] It is the sectional view showing one process in manufacture of the integrated-circuit memory device by the example of drawing 39.

[Drawing 44] It is the sectional view showing one process in manufacture of the integrated-circuit memory device by the example of drawing 39.

[Description of Notations]

10, 410, 510 Substrate

12, 420, 512 The 1st insulating layer

16, 416 1st conductive layer

18, 418, 518 Conductive segment

20, 430, 520 The 2nd insulating layer

22 1st Magnetizable Layer

24 Magnetizable Ingredient by Which Pattern Formation was Carried Out

26, 440, 526 The 3rd insulating layer

40, 422, 432, 442, 454 Path

41, 541 Nucleation layer

42, 424 2nd conductive layer

44, 428, 434, 436, 438, a 446, 448, 450, 544 conductivity segment

46, 546 Conductive perpendicular member

100, 300, 500, 700 Memory device

102, 302, 502, 702 Magnetizable member

104, 106, 108, 304, 306, 308, 504, 506, 704, 706 Coil

551, 715 Conductive straight-line-like member

550 3rd Conductive Layer

---

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-209075

(43)公開日 平成6年(1994)7月26日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/04	L 8427-4M			
G 11 C 11/02	Z 6866-5L			
H 01 L 21/3205 29/82	D 9274-4M 7514-4M	H 01 L 21/ 88	A	
		審査請求 未請求 請求項の数 8 OL (全 13 頁)		

(21)出願番号 特願平5-224082

(22)出願日 平成5年(1993)9月9日

(31)優先権主張番号 942957

(32)優先日 1992年9月10日

(33)優先権主張国 米国(US)

(71)出願人 591013469

ナショナル セミコンダクタ コーポレーション

NATIONAL SEMICONDUCTOR CORPORATION  
アメリカ合衆国、カリフォルニア 95052,  
サンタクララ、セミコンダクタ ドライブ 2900

(72)発明者 マイケル・イー・トーマス

アメリカ合衆国カリフォルニア州95035ミルピタス、デヴォン・プレイス・2258

(74)代理人 弁理士 古谷 馨 (外2名)

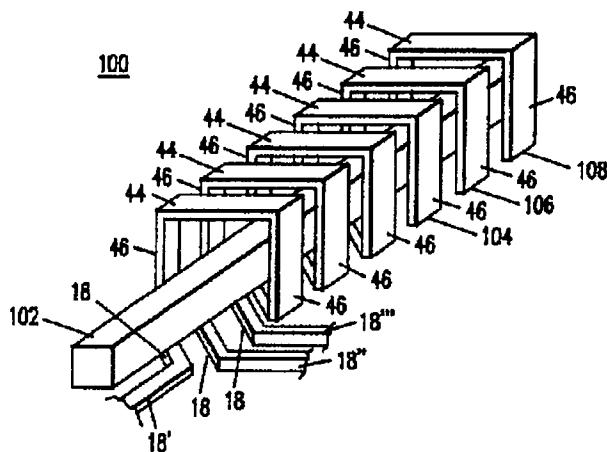
最終頁に続く

(54)【発明の名称】集積回路磁気メモリ素子及びその製造方法

(57)【要約】 (修正有)

【目的】 基板上に形成された磁気メモリ素子を持つメモリ素子を提供する。

【構成】 メモリ素子100は、基板上で所定パターン18に形成される第1導電層を含み、基板表面及びこのパターン上には第1絶縁層が配置される。磁化可能材料の層が絶縁層上に配置され、下側のパターン化第1導電層に対し所定の位置関係を有するパターン102に形成される。第2絶縁層が、第1絶縁層及び磁化可能材料のパターン上に配置される。絶縁層には開口が形成され、下側のパターン化第1導電層の所定の電気的接触領域が露出される。第2導電層が第2絶縁層上及び開口内へと、この電気的接触領域と接触するよう配置される46。第2導電層は、下側の磁化可能材料のパターン及び第1導電層のパターンに関して所定の位置関係を有するパターン44に形成される。第1導電層のパターン18及び第2導電層のパターン44は、磁化可能材料のパターン102の周囲に配置された少なくとも2つの導電性コイル104, 106, 108を画定する。



## 【特許請求の範囲】

【請求項1】 (a) 基板上に形成された磁化可能部材と、及び(b) 基板上に形成され磁化可能部材の周囲に配置された少なくとも2つの導電性コイルとを含むメモリ素子。

【請求項2】 前記磁化可能部材に対して実質的に平行に基板上に形成された、実質的に直線状の導電性部材をさらに含む、請求項1のメモリ素子。

【請求項3】 前記直線状の導電性部材が前記コイルの外側に配置されている、請求項2のメモリ素子。

【請求項4】 前記直線状の導電性部材が前記コイルの内側に配置されている、請求項2のメモリ素子。

【請求項5】 前記磁化可能部材が第1及び第2の端部を有する、請求項1のメモリ素子。

【請求項6】 前記導電性コイルの数が3である、請求項1のメモリ素子。

【請求項7】 集積回路メモリ素子の製造方法であつて、(a) 電気的絶縁性基板の表面上に導電性材料の第1の層を配置する段階と、(b) 導電性材料の第1の層を第1の所定パターンへと形成する段階と、(c) 電気的絶縁性基板の表面及びパターン形成された導電性材料の第1の層の上に電気的絶縁性材料の第2の層を配置する段階と、(d) 磁化可能材料の第1の層を絶縁性材料の第2の層上に配置する段階と、(e) 磁化可能材料の第1の層を下側にあるパターン形成された導電性材料の第1の層に関して所定の位置関係を有する所定パターンへと形成する段階と、(f) 電気的絶縁性材料の第3の層を絶縁性材料の第2の層及び磁化可能材料のパターン形成された第1の層上に配置する段階と、(g) 下側にある絶縁性材料の層に開口を形成して下側のパターン形成された導電性材料の第1の層上の所定の電気的接触領域を露出する段階と、(h) 導電性材料の第2の層を電気的絶縁性材料の第3の層上及び開口内へと、下側のパターン形成された導電性材料の第1の層の露出された電気的接触領域と電気的に接触するように配置する段階と、及び(i) 導電性材料の第2の層を下側のパターン形成された磁化可能材料の層及びパターン形成された導電性材料の第1の層に関して所定の位置関係を有する第2の所定パターンへと形成する段階とを含み、パターン形成された導電性材料の第1の層及びパターン形成された導電性材料の第2の層が、パターン形成された磁化可能材料の周囲に配置された少なくとも2つの導電性コイルを画定することからなる方法。

【請求項8】 集積回路メモリ素子の製造方法であつて、(a) 基板上に導電性材料の第1の層を配置する段階と、(b) 導電性材料の第1の層を第1の所定パターンへと形成する段階と、(c) 絶縁性材料の第1の層を基板及びパターン形成された導電性材料の第1の層上に配置する段階と、(d) 絶縁性材料の第1の層に開口を形成して下側のパターン形成された導電性材料の第1の

層上の電気的接触領域を露出する段階と、(e) 導電性材料の第2の層を絶縁性材料の第1の層上及び開口内へと、下側のパターン形成された導電性材料の第1の層の露出された電気的接触領域と電気的に接触するように配置する段階と、(f) 導電性材料の第2の層を下側のパターン形成された導電性材料の第1の層に関して所定の位置関係を有する所定パターンへと形成する段階と、(g) 少なくとも2つの実質的に同軸な導電性材料の螺旋コイルであって各々のコイルが中央部分及び中央部分の周囲に配置される所定回数のループを有するものを形成する必要に応じて、前記段階(c)、(d)、(e)及び(f)を繰り返す段階と、(h) 電気的絶縁性材料の最終の層を下側にある電気的絶縁性材料の層及び下側にあるパターン形成された導電性材料の最終の層上に配置する段階と、(i) 絶縁性材料の最終の層及び下側にある絶縁性材料の層に開口を、コイルに共通の軸と実質的に整合するよう形成する段階と、(j) 磁化可能材料の層を絶縁性材料の最終の層上及び開口内へと形成する段階と、及び(k) 磁化可能材料の層を所定パターンへと形成する段階とを含むことからなる方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は集積回路に関し、より詳しくは集積回路の一部として基板上に形成されるメモリに関するものである。

## 【0002】

【従来の技術】 集積回路におけるメモリ素子は典型的には、ダイナミックメモリにおけるコンデンサ、或いはスタティックメモリ素子を画定するよう配置されたトランジスタからなる。ダイナミックメモリは、コンデンサの電荷を維持するために、頻繁にリフレッシュが必要であるという欠点を有する。スタティックメモリは製造が比較的複雑であり、基板中で大量の面積を占める。

【0003】 個別の強磁性部材からなる、磁気コアメモリとして知られるメモリを提供することは公知である。磁気コアメモリはリフレッシュを必要としない。しかしながら、磁気コアメモリは遅く、今日の標準からすれば大量の電力を消費する。さらに、磁気コアメモリは集積回路として利用することはできない。

## 【0004】

【発明が解決しようとする課題】 本発明の課題は、基板中で必要とする面積が最小限であり、比較的単純に製造することのできる、集積回路用の不揮発性メモリを提供することである。

【0005】 本発明の別の課題は、磁化可能なメモリ素子を有する、高速で低電力のメモリデバイスを提供することである。

## 【0006】

【課題を解決するための手段】 メモリ素子は、基板上に形成された磁化可能部材と、基板に形成され磁化可能部

材の周囲に配置された少なくとも2つの導電性コイルとを含む。

【0007】集積回路メモリ素子を製造する方法は、電気的絶縁性基板の表面上に導電性材料の第1の層を配置する段階と、導電性材料の第1の層を第1の所定パターンへと形成する段階と、電気的絶縁性基板の表面及びパターン形成された導電性材料の第1の層の上に電気的絶縁性材料の第2の層を配置する段階と、磁化可能材料の第1の層を絶縁性材料の第2の層上に配置する段階と、磁化可能材料の第1の層を下側にあるパターン形成された導電性材料の第1の層に関して所定の位置関係を有する所定パターンへと形成する段階と、電気的絶縁性材料の第3の層を絶縁性材料の第2の層及び磁化可能材料のパターン形成された第1の層上に配置する段階と、下側にある絶縁性材料の層に開口を形成して下側のパターン形成された導電性材料の第1の層上の所定の電気的接触領域を露出する段階と、導電性材料の第2の層を電気的絶縁性材料の第3の層上及び開口内へと、下側のパターン形成された導電性材料の第1の層の露出された電気的接触領域と電気的に接触するように配置する段階と、導電性材料の第2の層を下側のパターン形成された磁化可能材料の層及びパターン形成された導電性材料の第1の層に関して所定の位置関係を有する第2の所定パターンへと形成する段階とを含み、パターン形成された導電性材料の第1の層及びパターン形成された導電性材料の第2の層が、パターン形成された磁化可能材料の周囲に配置された少なくとも2つの導電性コイルを画定することからなる。

【0008】集積回路メモリ素子を製造する方法はまた、電気的絶縁性基板の表面上に導電性材料の第1の層を配置する段階と、導電性材料の第1の層を第1の所定パターンへと形成する段階と、絶縁性材料の第1の層を基板及びパターン形成された導電性材料の第1の層上に配置する段階と、絶縁性材料の第1の層に開口を形成して下側のパターン形成された導電性材料の第1の層上の電気的接触領域を露出する段階と、導電性材料の第2の層を絶縁性材料の第1の層上及び開口内へと、下側のパターン形成された導電性材料の第1の層の露出された電気的接触領域と電気的に接触するように配置する段階と、導電性材料の第2の層を下側のパターン形成された導電性材料の第1の層に関して所定の位置関係を有する所定パターンへと形成する段階と、少なくとも2つの実質的に同軸な導電性材料の螺旋コイルであって各々のコイルが中央部分及び中央部分の周囲に配置される所定回数のループを有するものを形成する必要に応じて、絶縁性材料の層を下側の絶縁性材料の層及び下側のパターン形成された導電性材料の層上に配置し、新たに形成された絶縁性材料の層に開口を形成して下側のパターン形成された導電性材料の層上の電気的接触領域を露出し、露出された電気的接触領域と電気的に接触するよう導電性

材料の層を絶縁性材料の層上に配置し、導電性材料のさらなる層を所定パターンへと形成する段階を繰り返す段階と、電気的絶縁性材料の最終の層を下側にある電気的絶縁性材料の層及び下側にあるパターン形成された導電性材料の最終の層上に配置する段階と、絶縁性材料の最終の層及び下側にある絶縁性材料の層に開口を、コイルに共通の軸と実質的に整合するよう形成する段階と、磁化可能材料の層を絶縁性材料の最終の層上及び開口内へと形成する段階と、磁化可能材料の層を所定パターンへと形成する段階とを含む。

### 【0009】

【実施例】本発明により、集積回路用の基板上にミクロ磁気メモリ素子を製造する種々の工程が、図1から図11に示されている。図1を参照すると、そこには基板10、例えばシリコン基板が概略的に断面で示されている。基板10は例えば、そこに形成される本発明の素子により、能動デバイス又は追加的な磁気メモリ素子を有することができる。基板10としては広範な各種の材料が使用可能である。例えば、基板10は酸化ベリリウム又はダイヤモンドであり得る。さらに例示すれば、基板10は多結晶材料、例えばアルミナであり得る。

【0010】例えば二酸化珪素からなる、絶縁材料からなる第1の絶縁層12が、基板10上に形成されている。二酸化珪素は好ましい材料であるが、第1の絶縁層12としては誘電体上のスピノン又はガラス上のスピノンといった他の材料もまた適切である。第1の絶縁層12の好ましい厚みは7500オングストロームである。第1の絶縁層12は、例えばプラズマ強化CVD (PECVD) により形成される。

【0011】所望ならば、少なくとも1つの開口(図示せず)を第1の絶縁層12に形成して、基板10の上側表面上の所定の電気的接触領域を露出することができる。かかる開口は、好ましくは既知のホトレジスト法を用いて画定され、次いで第1の絶縁層12の絶縁材料を攻撃するが下側の基板10とは反応せずそこで停止するエッティング液を用いてエッティングされる。

【0012】本発明による磁気メモリ素子が絶縁基板上に形成される実施例においては、絶縁材料からなる第1の絶縁層12も、この層における開口も必要ではない。

【0013】導電性材料、例えばアルミナ又はタンゲステン合金の第1の導電性層16が、第1の絶縁層12上に形成される。第1の導電性層16は、好ましくはアルミナを約3000オングストロームから約15000オングストローム(1.5マイクロメートル)の範囲の厚み、好ましくは約7500オングストロームの厚みでもってスパッタリングすることにより形成される。次いで図2を参照すると、第1の導電性層16は、例えば既知のホトレジスト及びエッティング技術を用いて、導電性セグメント18の所定のパターンへと形成されている。図3は図2のラインC-Cに沿った断面図である。導電性

セグメント18のうち3つから延びるよう取着された、セグメント延長部18'，18''及び18'''が設けられていることが看取されよう。延長部18'，18''及び18'''は、後述するように本発明によるメモリ素子のコイルの間に電気的接続を確立するために設けられている。

【0014】さて図4を参照すると、例えば二酸化珪素である絶縁材料からなる第2の絶縁層20が、第1の絶縁層12と導電性セグメント18の上に形成されている。第2の絶縁層20の厚みは、例えば約10000オングストロームである。第2の絶縁層20が二酸化珪素からなる場合には、第2の絶縁層20はPECVD技術を用いて形成されるのが好ましい。磁化可能材料からなる第1の磁化可能層22が、好ましくはスパッタリングによって、第2の絶縁層20上に配置されている。多数の磁化可能材料の何れを用いることもできる。例えば、第1の磁化可能層22は鉄、珪素一鉄合金、ニッケル一鉄合金、コバルト一鉄合金、或いは他の磁化可能な材料からなる。第1の磁化可能層22の厚みは、約1000オングストロームから約30000オングストローム、好ましくは約1.5マイクロメートルである。

【0015】第1の磁化可能層22は、例えば既知のホトレジスト及びエッチング技術を用いて、下側にある導電性材料の導電性セグメント18に対して所定の位置関係を有する所定のパターンへと形成される。この所定のパターンの1つの実施例が、図5に示されている。図5において看取され得るように、パターン形成された磁化可能材料24の所定のパターンは、中実で細長い、矩形の形状を有し、下側にある導電性セグメント18上に、それを実質的に2分する関係でもって配置されている。パターン形成された磁化可能材料24と下側の導電性セグメント18との間のこの位置関係の理由は、この詳細な説明において後に明らかとなる。図6は図5のラインF-Fに沿って取った断面図である。

【0016】さて図7、及びラインH-Hに沿って取った図7の断面図である図8を参照すると、好ましくは二酸化珪素からなる第3の絶縁層26が、第2の絶縁層20及び第1のパターン形成された磁化可能層24上に、好ましくはPECVDにより、例えば約10000オングストロームの厚みで形成されている。図8において最も良く示されているように、第3の絶縁層26及び第2の絶縁層20を介して通路40が開口されており、下側のパターン形成された導電性セグメント18上の電気的接触領域を露出している。この露出された電気的接触領域は、この詳細な説明において後に明らかとなる理由から、導電性セグメント18のうち選択された端部にあるのが好ましい。

【0017】通路40は、既知のホトレジスト及びエッチング技術を用いて開口される。即ち例えば、既知のホトレジスト法を用いて開口が画定され、次いで、絶縁材

料はエッチングするが下側にあるパターン形成された導電性セグメント18の表面で停止するエッチング液を用いてエッチングされる。通路開口が深い、例えば約3マイクロメートルよりも深い実施例においては、開口は各々の絶縁層の形成に続けて各層に形成することができ、或いはエッチング深さが過剰になるのを防止するために、絶縁層のグループ（各々の絶縁層の厚みに応じて）に形成することができる。このような場合には、かかる絶縁層又は絶縁層のグループに形成された開口内に導電性プラグが、好ましくは絶縁層又は絶縁層のグループの上側表面上及び開口内へとタンゲステンの如き金属を堆積し、次いで各々のプラグの上面が絶縁層又は絶縁層のグループの上側表面と実質的に同一平面となるまでエッチングし戻すことによって形成される。このことは開口が貫通形成される各々の絶縁層又は絶縁層のグループについて繰り返され、各々の開口内に個別に形成されたプラグが一緒になって、各々の深い開口の底部から上部まで延在する垂直な導体を形成するようされる。

【0018】チタン／タンゲステン（TiW）のような材料からなる核形成層41が、第3の絶縁層26上及び通路40内に配置され、下側の導電性セグメント18上に露出された電気的接触領域と電気的に接触される。好ましい実施例では、核形成層41は、チタン／タンゲステン材料を約1000オングストロームの厚みまでスパッタリングすることによって形成される。

【0019】図9を参照すると、タンゲステンのような導電性材料からなる第2の導電性層42が、第3の絶縁層26上に先に配置された核形成層41上及び通路40内へと配置され、下側の導電性セグメント18上に露出された電気的接触領域と核形成層を介して電気的に接触する。第2の導電性層42は好ましくはCVDにより、約7500オングストロームの厚みで形成される。導電性材料からなる第2の導電性層42は、図10及び図11に示すような導電性セグメント44へと、好ましくは既知のホトレジスト及びエッチング技術を用いてパターン形成される。図11に示した実施例においては、各々の導電性セグメント44の端部は、導電性垂直部材46で終端しており、これらは通路40を介して下方に延び、下側にある導電性セグメント18と接触している。導電性垂直部材46は、核形成層41上のタンゲステン層を含む。図12に示すように、二酸化珪素、ホスホシリケートガラス（PSG）、未ドープシリケートガラス（USG）又は窒化珪素の如き電気的絶縁材料の層48が、好ましくはPECVD技術により、約7500オングストロームの厚みでもって、絶縁材料からなる第3の絶縁層26及び導電性セグメント44上に配置されている。

【0020】さて図13を参照すると、そこには斜視図でもって概略的に、上述した方法によって形成された磁気メモリ素子100が示されている。図13において看

取されるように、メモリ素子100は、磁化可能部材102と、3つの別個のコイル104、106及び108とを含む。各々のコイルは2つの導電性セグメント18と、2つの導電性垂直部材46と、少なくとも1つの導電性セグメント44により形成されている。各々のコイル104、106及び108は、図11及び図12に示す如き、パターン形成された磁化可能材料24と下側の導電性セグメント18との間の所定の位置関係、通路40の配置、並びに導電性セグメント44と通路40及び下側の導電性セグメント18との間の所定の位置関係の結果として、磁化可能部材102の一部を取り囲んでいる。コイル104、106及び108は、相互に電気的に隔離されている。

【0021】メモリ素子100のアレイを基板上に設け、それによりメモリチップを形成することができる。このようなアレイにおいては、コイル104、106及び108の各々は、多数のメモリ素子の各々におけるかかるコイルを1つ含む導体又はラインの一部となる。本発明によるメモリ素子を用いたメモリチップにおいては、典型的には選ばれた数のxラインと、選ばれた数のyラインがある。各々のメモリ素子のコイルの1つはxラインとなり、また各々のメモリ素子のコイルの別の1つはyラインとなる。各々のメモリ素子は、そのメモリ素子において交差しているxライン及びyラインによって固有に識別される。各々のメモリ素子の3つめのコイルは、アレイ中のメモリ素子の各々にある1つのコイルを含むセンスラインの一部となる。

【0022】図35を参照すると、そこには斜視図でもって概略的に、図13に関して上述した磁気メモリ素子100の別の実施例である磁気メモリ素子500が示されている。図35において看取されるように、メモリ素子500は磁化可能部材502と、2つの別個のコイル504及び506を含む。各々のコイル504、506は2つの水平方向の導電性セグメント518と、2つの導電性垂直部材546と、2つの水平方向の導電性セグメント544により形成されている。コイル504、506の一端には延長部518'、518"が備えられており、コイル504、506に対する電気的接続をもたらしている。各々のコイル504、506は、磁化可能部材502を構成するパターン形成された磁気材料と下側の導電性セグメント518との間の所定の位置関係、導電性垂直部材546を画定すべく金属で充填された通路の配置、並びに導電性セグメント544と導電性垂直部材546及び下側の導電性セグメント518との間の所定の位置関係の結果として、磁化可能部材502の一部を取り囲んでいる。加えて、磁気メモリ素子500は直線状の導電性部材515を含んでいる。直線状の導電性部材515はコイル504、506の外側に配置され、コイル504、506及び磁化可能部材502から電気的に隔離されている。図35に示した実施例におい

ては、直線状の導電性部材515は、コイル504、506の水平な導電性セグメント544の上方に配置されている。しかしながら、直線状の導電性部材515は、磁化可能部材502と平行に、コイル504、506の何れの側部、或いは下側にも配置可能であることを想起しうる。

【0023】図36を参照すると、そこには斜視図でもって概略的に、図35の磁気メモリ素子500の別の実施例である磁気メモリ素子500'が示されている。図36のメモリ素子500'は、直線状の導電性部材515'がコイル504、506の内側に配置されており、また磁化可能部材502と接触しているという点を除き、図35のメモリ素子500と同一である。直線状の導電性部材515'は両端が磁化可能部材502を越えて延びており、直線状の導電性部材515'に電気的接続をもたらすことができるようになっている。図36に示した実施例においては、直線状の導電性部材515'は磁化可能部材502の上部に配置されている。しかしながら、直線状の導電性部材515'がコイル504、506の内部に配置される他の種々の構成を想起することができる。直線状の導電性部材515'は磁化可能部材502の下側又は何れかの側部に配置することができ、また磁化可能部材502と接触していなくともよい。

【0024】メモリ素子500は、図1から図12に関して記載し例示した如く3つではなしに、コイルが2つだけ製造されるという点を除き、実質的に図1から図2に関して記載した技術に従って製造される。

【0025】図37を参照すると、磁化可能部材及び磁化可能部材の周囲に配置された2つだけのコイルを有するメモリ素子500の製造における1工程を示す、図12に類似の断面図が示されている。しかしてそこには基板510と、基板510上に形成された絶縁性材料からなる第1の絶縁層512と、第1の絶縁層512上に形成された導電性セグメント518と、第1の絶縁層512及び導電性セグメント518上に形成された第2の絶縁層520と、第2の絶縁層520上に形成された第3の絶縁層526と、第3の絶縁層526上に形成された導電性セグメント544と、導電性セグメント544から第3の絶縁層526及び第2の絶縁層520を介して下方に延びて下側の導電性セグメント518と接触する導電性垂直部材546（核形成層541を含む）と、第3の絶縁層526及び導電性セグメント544上に配置された電気的絶縁性材料の層548が示されている。図37に示された断面図は、図12の断面図に類似のものであることが理解されよう。アルミニウム又はタングステン合金の如き導電性材料の第3の導電性層550が、絶縁層548上に形成されている。第3の導電性層550は、好ましくはアルミニウムを約3000オングストロームから約15000オングストロームの範囲の所定

の厚み、好ましくは約7000オングストロームの厚みにスパッタリングすることにより形成される。さて平面図である図38を参照すると、第3の導電性層550は所定のパターンへと形成されており、例えば既知のホトレジスト及びエッチング技術を用いて、直線状の導電性セグメント即ち直線状の導電性部材515が画定されている。直線状の導電性部材515は、導電性セグメント544及び磁化可能部材502に対して所定の位置関係でもって配置されている。

【0026】図36の実施例は、図1から図6に関して前述した方法に従って、コイル504、506の下側の導電性セグメント、下側の導電性セグメント上の誘電体層、及び誘電体層上の磁化可能部材502を形成することにより製造されうる。例えばアルミニウム又はタンガステン合金からなる金属層が、次いで磁化可能部材502及び下側の誘電体層の表面上に形成される。この金属層は次いで、在来の技術に従ってパターン形成され、直線状の導電性部材515'が画定される。

【0027】直線状の導電性部材515はメモリ素子500用のセンスラインとして動作し、直線状の導電性部材515'はメモリ素子500'用のセンスラインとして動作しうる。図35及び図36の実施例においては、コイル504、506の一方はxラインの一部であり、コイル504、506の他方はyラインの一部である。xライン及びyラインにおける電流は一緒になって、磁化可能部材502の磁化方向を変化させるだけ十分に強い磁場を提供しなければならないから、xライン及びyラインの両者が、磁化可能部材502の周囲にコイルとして備えられることが望ましい。しかしながらセンスラインは、磁化可能部材502における磁場の反転がセンスラインに電流を誘起するように、磁化可能部材502に十分に近接していることが必要とされるだけである。その結果、直線状の導電性部材515又は直線状の導電性部材515'はセンスラインの一部を提供し、磁化可能部材502の磁化方向の変化を検出することができる。2つのコイルしか必要ではないから、図35のメモリ素子500又は図36のメモリ素子500'の製造方法は、図13のメモリ素子100の製造方法よりも単純である。

【0028】本発明のメモリ素子により、多数の利点を獲得することができる。在来のDRAMメモリ素子とは異なり、本発明によるメモリ素子ではリフレッシュは必要でない。また在来のSRAMメモリ素子とは異なり、本発明によるメモリ素子は多数のトランジスタを必要としない。本発明によるメモリ素子が基板手段中に配置されているという事実により、熱の散逸、従って電力処理は、従来技術のコアメモリにおけるよりも良好である。本発明によるメモリ素子を基板中に設けることにより、トランジスタベースのメモリと比較して記憶密度を大きく増大させる、メモリ素子の3次元メモリアレイを提供

することが可能となる。本発明によるメモリ素子からなるメモリアレイにおいては、磁化可能部材の大きさが小さいことにより、高周波動作が達成できる。

【0029】図13に示した実施例においては、3つの個別の螺旋コイルの各々について2つのループがあるが、第1の導電性層16及び第2の導電性層42、並びに通路40は、特定のメモリ素子の所望とされる電気的及び磁気的特性に応じて、コイル中に異なる数のループを収容するようにパターン形成可能である。同様に、図35及び図36に示した実施例においては、2つの個別の螺旋コイルの各々について2つのループがあるが、導電性層及び通路は、コイル中に異なる数のループを収容するようにパターン形成可能である。また、上述した好ましい実施例では、磁化可能部材を形成するための磁化可能材料は単層からなるものであったが、磁化可能部材は積層された磁化可能材料からなることもできることを銘記しなければならない。このことは、パターン形成された磁化可能材料24上に第3の絶縁層26を形成した後に、磁化可能材料からなる第2の磁化可能層を形成し、パターン形成された磁化可能材料24と実質的に同じ形状寸法を有するようにこの第2の磁化可能層をパターン形成し、第2の磁化可能層上に別の絶縁層を配置することによって達成されうる。或いはまた、磁化可能部材は、第1の磁化可能層22を形成した後に、この第1の磁化可能層22上に絶縁層を形成し、この絶縁層上に磁化可能材料からなる第2の磁化可能層を形成し、この第2の磁化可能層上に別の絶縁層を配置し、次いで両方の磁化可能層及び両方の絶縁層をパターン形成して磁化可能部材を画定することにより、積層された磁化可能材料で構成することができる。図35及び図36の磁化可能部材502は同様にして、積層された磁化可能材料で構成することができる。さらにまた、この詳細な説明において記載されている方法はメモリ素子の構成のために薄膜技術を用いているが、本発明によれば、厚膜技術、例えば金属層をメッキにより形成するものもまた、有效地に用いることができる。

【0030】図13、図35及び図36に示されているメモリ素子は、螺旋コイルの軸及び磁化可能部材が、下側にある基板の表面に関して実質的に平行であるように構成されている。この配置においては、メモリ素子は基板の表面上に展開し、コイル中のループの数に依存して、集積回路の面積の比較的大きな割合を占める。この欠点は、これらの水平な素子の層を相互に積み重ねることによって回避可能である。メモリ素子により占有される層当たりの面積を節約するために、コイルの軸が下側の基板の表面に対して実質的に垂直であり、磁化可能部材もまた下側の基板の表面に対して実質的に垂直であるように、例えば図14に概略的に示されているようにしてアレイを構成することができる。図14に示した配置では、メモリ素子300の磁化可能部材302、及び

コイル304、306及び308の共通軸は、下側の基板（図示せず）に対して実質的に垂直である。

【0031】図14に示された本発明の実施例による集積回路におけるメモリ素子を製造するための種々の工程が、図15から図34に示されている。種々の層を形成するために用いられる方法、各層の厚み、並びに導電性層及び磁化可能層に通路及び所定のパターンを形成するために用いられる方法は、図1から図12に関して上述したものと同様であるのが好ましい。さて図15を参照すると、そこには概略的に断面図で、例えばシリコン基板である基板410が示されている。基板410は、例えばシリコン又はガリウムの砒化物など、集積回路を製造するのに用いることのできるどのようなタイプの材料でもよい。或いはまた、基板410は酸化アルミニウムのような不動態化基板でもよい。基板410はまた、本発明により形成される付加的なメモリ素子を支持するための絶縁材料の基板からなることもできることに注意しなければならない。本発明のこの代替的な実施例においては、メモリ素子は2次元又は3次元アレイでもって同様のメモリ素子に対して電気的に接続され、各々のメモリ素子におけるコイルの各々が、アレイ中のメモリ素子の複数のコイルを含む比較的長い導体の一部を形成するようになる。

【0032】アルミニウムの如き材料からなる第1の導電性層416が、基板410上に形成される。次いで図16と、ラインC-Cに沿った図16の断面図である図17を参照すると、第1の導電性層416は例えば既知のホトレジスト及びエッチング技術を用いて、導電性セグメント418の所定のパターンへと形成されている。導電性セグメント418は、図14に示す3つのコイル304、306及び308の各々の一部を形成し、また本発明によるメモリ素子を用いたメモリチップにおいて隣接するメモリ素子の対応するコイルに電気的に接続するための導線を形成する。

【0033】次に図18と、ラインE-Eに沿った図18の断面図である図19を参照すると、第1の絶縁層420が、基板410及びパターン形成された第1の導電性層の導電性セグメント418の上に形成されている。開口、即ち通路422が第1の絶縁層420に形成されていて、導電性セグメント418の各々の上側表面上の所定の電気的接触領域を露出している。図示の如く、通路422は、導電性セグメント418の各々の一端において接触領域を露出するように配置されている。通路422は例えば、既知のホトレジスト及びエッチング技術を用いて形成される。

【0034】図20を参照すると、アルミニウムの如き導電性材料からなる第2の導電性層424が、第1の絶縁層420上及び通路422内へと、下側の導電性セグメント418上の露出された選択接触領域と接触するよう形成されている。第2の導電性層424は、図21、

及びラインH-Hに沿って取った図21の断面図である図22、さらにラインI-Iに沿って取った図21の断面図である図23に示すように、所定のパターンの導電性セグメント428へと形成されている。この所定のパターンの導電性セグメント428は、例えば既知のホトレジスト及びエッチング技術を用いて形成される。

【0035】次に図24と、ラインK-Kに沿って取った図24の断面図である図25を参照すると、第2の絶縁層430が導電性セグメント428及び第1の絶縁層420上に形成されている。通路432が第2の絶縁層430に形成され、下側の導電性セグメント428上の所定の接触領域を露出している。これらの接触領域は、例えば導電性セグメント428の各々の一端に配置されている。通路432は、例えば既知のホトレジスト及びエッチング技術を用いて形成される。

【0036】今度は図26と、ラインM-Mに沿って取った図26の断面図である図27を参照すると、アルミニウムの如き導電性材料からなる第3の導電性層が第2の絶縁層430上及び通路432内へと形成され、下側の導電性セグメント428上の露出領域と接触している。第3の導電性層は、例えば既知のホトレジスト及びエッチング技術を用いて、導電性セグメント434、436及び438の所定のパターンへと形成されている。導電性セグメント434は、図14に示したメモリ素子300の第1のコイル304の一部に相当している。導電性セグメント436は、図14に示したメモリ素子300の第2のコイル306の一部に相当する。導電性セグメント438は、図14に示したメモリ素子300の第3のコイル308の一部に相当する。

【0037】次に図28と、ラインO-Oに沿って取った図28の断面図である図29を参照すると、そこでは導電性セグメント434、436及び438、並びに第2の絶縁層430上に、第3の絶縁層440が形成されている。通路442が第3の絶縁層430に形成されて、下側にある導電性セグメント434、436及び438上の接触領域を露出している。通路442は好ましくは、導電性セグメント434、436及び438の各々の端部にある所定位置に配置される。通路442は例えば、既知のホトレジスト及びエッチング技術を用いて形成される。

【0038】さて図30と、ラインQ-Qに沿って取った図30の断面図である図31を参照すると、アルミニウムの如き導電性材料からなる第4の導電性層が、第3の絶縁層430上及び通路442内へと形成され、下側にある導電性セグメント434、436及び438の露出領域と接触している。この第4の導電性層は、例えば既知のホトレジスト及びエッチング技術を用いて、導電性セグメント446、448、及び450の所定のパターンへと形成されている。導電性セグメント446は、図14に示したメモリ素子300の第1のコイル304

の一部に相当している。導電性セグメント448は、図14に示したメモリ素子300の第2のコイル306の一部に相当する。導電性セグメント450は、図14に示したメモリ素子300の第3のコイル308の一部に相当する。コイル304, 306及び308の各々のセグメントが、導電性材料の層の各々についての上述の工程において画定されることが理解されよう。

【0039】図32と、ラインS-Sに沿って取った図32の断面図である図33を参照すると、上部の絶縁層452が、導電性セグメント446, 448, 及び450、並びに絶縁層440上に形成されている。上部の絶縁層452は、例えば二酸化珪素からなる。通路454が絶縁層452を介して第1の絶縁層420へ向けて、この第1の絶縁層を含めて中間にある全ての絶縁層を介して形成されている。通路454は、コイル304, 306及び308の共通軸に配置されている。かくして、絶縁層の各々の一部が、通路454から導電性層の各々を分離する形となっている。通路454が過剰に深い実施例、例えば約3マイクロメートルよりも深い実施例においては、エッチング深さが過剰となるのを防止するために、所望ならば通路454を、各々の絶縁層の形成に続けて各絶縁層に形成することができ、又は絶縁層のグループに対して形成することができる（絶縁層の各々の厚みに応じて）。

【0040】磁化可能材料の層が、上部の絶縁層452上に、通路454内へと形成される。この磁化可能材料は、図1から図12に示した方法に関して先に列挙した磁化可能材料の何れであっても良い。絶縁層の数及び厚みが、通路454内への磁化可能材料の形成を困難又は非現実的とするようなものである場合には、磁化可能部材のセグメントを、個々の絶縁層に形成される通路内へと、或いは厚みによっては絶縁層のグループに形成される通路内へと形成することができる。磁化可能材料の層は、所定のパターンへと形成され、図34において302で示されている如き磁化可能部材が画定される。絶縁材料の最終の層460が次いで、絶縁層452と磁化可能部材302の上に形成される。所望ならば、最終の絶縁層460及び上部の絶縁層452を介して通路（図示せず）を形成して、導電性セグメント446, 448及び450上の所定の接触領域を露出することができる。これらの通路は次いで導電性材料で充填され、アレイ内の隣接するメモリ素子に対する相互接続（図示せず）への接続がもたらされ、或いはかかるメモリアレイに関連する他のデバイスに対する接続がもたらされる。

【0041】次に図39を参照すると、そこには概略的に斜視図でもって、配置についての別の実施例である磁気メモリ素子700が示されている。そこではコイルの軸は、下側にある基板の表面に対して実質的に垂直になっており、磁化可能部材もまた、下側の基板の表面に対して実質的に垂直になっている。図39に示されている

メモリ素子700は、磁化可能部材702と、導電性コイル704, 706と、コイル704, 706の外側に配置され、磁化可能部材702に対して実質的に平行な直線状の導電性部材715とを含む。

【0042】図40を参照すると、そこには概略的に斜視図でもって、配置についての別の実施例である磁気メモリ素子700'が示されている。そこではコイルの軸は、下側にある基板に対して実質的に垂直になっており、磁化可能部材もまた、下側の基板に対して実質的に垂直になっている。図40に示されているメモリ素子700'は、磁化可能部材702と、導電性コイル704, 706と、コイル704, 706の内側に電気的に隔離して配置され、磁化可能部材702に対して実質的に平行な直線状の導電性部材715'とを含む。直線状の導電性部材715'は、磁化可能部材702と接触して示されているが、この直線状の導電性部材715'は、磁化可能部材702から電気的に隔離されていることもできる。

【0043】図39のメモリ素子700は、図15から図34に関して述べた方法において形成される3つではなくに、導電性コイルが2つだけ製造されるという点を除き、実質的に図15から図34に関して前述した技術に従って製造される。ここで図41を参照すると、そこには断面図でもって、図39のメモリ素子700の製造における、図34に示された工程と類似の1工程が示されている。しかしてそこでは基板710と、基板710上に形成された導電性セグメント718と、基板710及び導電性セグメント718上に形成された第1の絶縁層720と、第1の絶縁層720上に形成された導電性セグメント728と、導電性セグメント728及び第1の絶縁層720上に形成された第2の絶縁層730と、第2の絶縁層730上に形成された導電性セグメント736と、導電性セグメント736及び第2の絶縁層730上に形成された第3の絶縁層740と、第3の絶縁層740上に形成された導電性セグメント746と、導電性セグメント746及び第3の絶縁層740上に形成された絶縁層752と、絶縁層752, 740, 730及び720を介して基板710に至るまで形成され且つ絶縁層752上でパターン形成された磁化可能部材702と、磁化可能部材702及び絶縁層752上に形成された最終の絶縁層760が含まれる。

【0044】図42を参照すると、そこでは通路762が絶縁層760から第1の絶縁層720に至るまで、この第1の絶縁層を含めた中間にある全ての絶縁層を介して形成されている。通路762は、コイル704及び706の外側に配置されている。従って、各々の絶縁層の一部が、各々の導電性セグメント及び磁化可能部材702を、通路762から隔離する形となっている。通路762が過剰に深い実施例、例えば約3マイクロメートルよりも深い実施例においては、エッチング深さが過剰と

なるのを防止するために、所望ならば通路762を、各々の絶縁層の形成に続けて各絶縁層に形成することができ、又は絶縁層のグループに対して形成することができる（絶縁層の各々の厚みに応じて）。

【0045】図43を参照すると、導電性材料の層764が、絶縁層760上及び通路762内に形成されている。この導電性材料は、例えばアルミニウム又はタングステンの合金である。絶縁層の数及び厚みが、通路762内への導電性材料の形成を困難又は非現実的とするようなものである場合には、導電性部材のセグメントを、個々の絶縁層に形成される通路内へと、或いは厚みによつては絶縁層のグループに形成される通路内へと形成することができる。導電性材料の層764は所定のパターンへと形成され、図39において715で示されている如き直線状の導電性部材が画定される。図44を参照すると、絶縁材料の最終の層766が次いで、絶縁層762と導電性部材715の上に形成される。この場合、図39に示す配置においては、コイル704, 706の一方がxラインの一部となり、コイル704, 706の他方がyラインの一部となることが理解されよう。直線状の導電性部材715は、センスラインの一部である。直線状の導電性部材715は、磁化可能部材702の磁場の反転に際して、導電性部材715に検出可能な電流が生ずるように、磁化可能部材702に対して十分に近接して配置することが必要なだけである。

【0046】同様に、図40のメモリ素子700'は、図15から図34に関して述べた方法において形成される3つではなしに、導電性コイルが2つだけ製造されるという点を除き、実質的に図15から図21に関して前述した技術に従つて製造される。基板上に垂直な磁化可能部材702及びコイル704, 706を形成し、また磁化可能部材上に上部の絶縁層を形成するのに引き続いて、コイル704, 706の内側に通路が形成される。この通路の壁の1つは、磁化可能部材702の側面によって画定される。通路は絶縁材料の全ての層を通って、下側の基板にまで至る。例えばアルミニウム又はタングステンの合金のような金属からなる層が、上部の絶縁層上に、及び通路内へとこれを充填するように形成される。この金属層は次いでパターン形成され、直線状の導電性部材が画定される。

【0047】図40に示した配置においては、コイル704, 706の一方がxラインの一部であり、コイル704, 706の他方がyラインの一部であることが理解されよう。直線状の導電性部材715'は、センスラインの一部である。

【0048】上述の実施例の何れにおいても、最終の誘電体の上部にマスクを形成することができ、メモリ素子に対する電気的接続をもたらす目的で、導電性部材に対して通路を開口することができることが理解されよう。

【0049】本発明の範囲から逸脱することなしに、本

発明の方法及びデバイスについてかなりの設計変更を行うことが可能であることが理解されよう。結果として、以上においては本発明の方法及びデバイスの好ましい実施例について記載してきたが、強調されるべきことは、本発明は好ましい実施例に限定されるものではなく、本発明の範囲内に完全に包含される他の代替的な実施例が存在しており、また本発明は添付の特許請求の範囲によってのみ限定されることが意図されているものであるということである。

#### 【0050】

【発明の効果】以上の如き本発明のメモリ素子によれば、在来のダイナミックRAMとは異なりリフレッシュは不要であり、また在来のスタティックRAMとも異なり多数のトランジスタを必要としない。また本発明によるメモリ素子は基板中に配置されているため、熱の散逸が従来のコアメモリよりも良好である。そして本発明のメモリ素子を基板中に設けることにより、トランジスタベースのメモリと比較して記憶密度を大きく増大させる、メモリ素子の3次元メモリアレイが提供される。本発明のメモリ素子によるメモリアレイは、磁化可能部材が小さく、高周波動作が達成できる。

#### 【図面の簡単な説明】

【図1】本発明による集積回路メモリ素子の製造の1工程を示す断面図である。

【図2】本発明による集積回路メモリ素子の製造の1工程を示す平面図である。

【図3】本発明による集積回路メモリ素子の製造の1工程を示す断面図である。

【図4】本発明による集積回路メモリ素子の製造の1工程を示す断面図である。

【図5】本発明による集積回路メモリ素子の製造の1工程を示す平面図である。

【図6】本発明による集積回路メモリ素子の製造の1工程を示す断面図である。

【図7】本発明による集積回路メモリ素子の製造の1工程を示す平面図である。

【図8】本発明による集積回路メモリ素子の製造の1工程を示す断面図である。

【図9】本発明による集積回路メモリ素子の製造の1工程を示す断面図である。

【図10】本発明による集積回路メモリ素子の製造の1工程を示す平面図である。

【図11】本発明による集積回路メモリ素子の製造の1工程を示す断面図である。

【図12】本発明による集積回路メモリ素子の製造の1工程を示す断面図である。

【図13】図1から図12に示した工程によって製造されたメモリ素子のコイル及び磁化可能部材の概略的な斜視図である。

【図14】本発明の別の実施例によるメモリ素子のコイ

ル及び磁化可能部材の概略的な斜視図である。

【図15】図14の実施例による集積回路メモリ素子の製造の1工程を示す断面図である。

【図16】図14の実施例による集積回路メモリ素子の製造の1工程を示す平面図である。

【図17】図14の実施例による集積回路メモリ素子の製造の1工程を示す断面図である。

【図18】図14の実施例による集積回路メモリ素子の製造の1工程を示す平面図である。

【図19】図14の実施例による集積回路メモリ素子の製造の1工程を示す断面図である。

【図20】図14の実施例による集積回路メモリ素子の製造の1工程を示す断面図である。

【図21】図14の実施例による集積回路メモリ素子の製造の1工程を示す平面図である。

【図22】図14の実施例による集積回路メモリ素子の製造の1工程を示す断面図である。

【図23】図14の実施例による集積回路メモリ素子の製造の1工程を示す断面図である。

【図24】図14の実施例による集積回路メモリ素子の製造の1工程を示す平面図である。

【図25】図14の実施例による集積回路メモリ素子の製造の1工程を示す断面図である。

【図26】図14の実施例による集積回路メモリ素子の製造の1工程を示す平面図である。

【図27】図14の実施例による集積回路メモリ素子の製造の1工程を示す断面図である。

【図28】図14の実施例による集積回路メモリ素子の製造の1工程を示す平面図である。

【図29】図14の実施例による集積回路メモリ素子の製造の1工程を示す断面図である。

【図30】図14の実施例による集積回路メモリ素子の製造の1工程を示す平面図である。

【図31】図14の実施例による集積回路メモリ素子の製造の1工程を示す断面図である。

【図32】図14の実施例による集積回路メモリ素子の製造の1工程を示す平面図である。

【図33】図14の実施例による集積回路メモリ素子の製造の1工程を示す断面図である。

【図34】図14の実施例による集積回路メモリ素子の製造の1工程を示す断面図である。

【図35】本発明の別の実施例によるメモリ素子のコイル、磁化可能部材、及び導電性部材の概略的な斜視図である。

ある。

【図36】本発明の別の実施例によるメモリ素子のコイル、磁化可能部材、及び導電性部材の概略的な斜視図である。

【図37】図35の実施例による集積回路メモリ素子の製造における工程を示す断面図である。

【図38】図35の実施例による集積回路メモリ素子の製造における工程を示す平面図である。

【図39】本発明の別の実施例によるメモリ素子のコイル、磁化可能部材、及び導電性部材の概略的な斜視図である。

【図40】本発明の別の実施例によるメモリ素子のコイル、磁化可能部材、及び導電性部材の概略的な斜視図である。

【図41】図39の実施例による集積回路メモリ素子の製造における1工程を示す断面図である。

【図42】図39の実施例による集積回路メモリ素子の製造における1工程を示す断面図である。

【図43】図39の実施例による集積回路メモリ素子の製造における1工程を示す断面図である。

【図44】図39の実施例による集積回路メモリ素子の製造における1工程を示す断面図である。

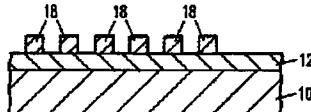
#### 【符号の説明】

- 10, 410, 510 基板
- 12, 420, 512 第1の絶縁層
- 16, 416 第1の導電性層
- 18, 418, 518 導電性セグメント
- 20, 430, 520 第2の絶縁層
- 22 第1の磁化可能層
- 24 パターン形成された磁化可能材料
- 26, 440, 526 第3の絶縁層
- 40, 422, 432, 442, 454 通路
- 41, 541 核形成層
- 42, 424 第2の導電性層
- 44, 428, 434, 436, 438, 446, 448, 450, 544 導電性セグメント
- 46, 546 導電性垂直部材
- 100, 300, 500, 700 メモリ素子
- 102, 302, 502, 702 磁化可能部材
- 104, 106, 108, 304, 306, 308, 504, 506, 704, 706 コイル
- 551, 715 直線状の導電性部材
- 550 第3の導電性層

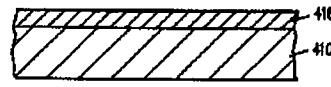
【図1】



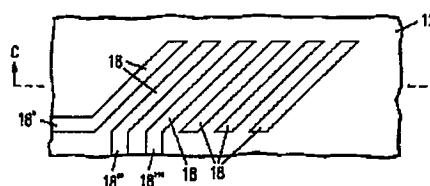
【図3】



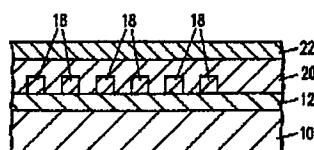
【図15】



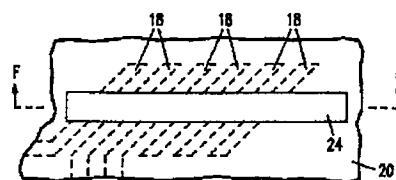
(图2)



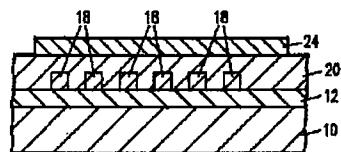
〔图4〕



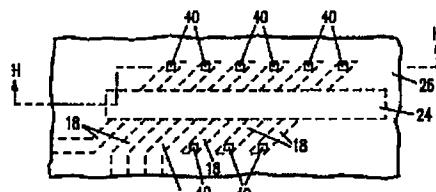
〔図5〕



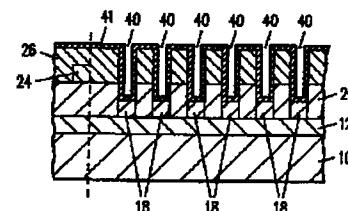
【図6】



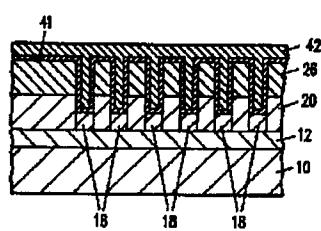
【図7】



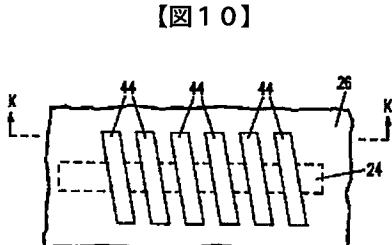
【図8】



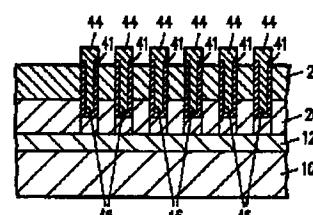
〔图9〕



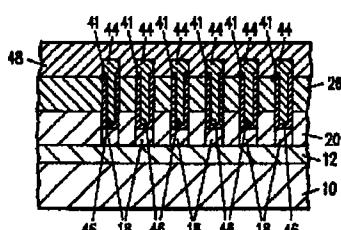
【図10】



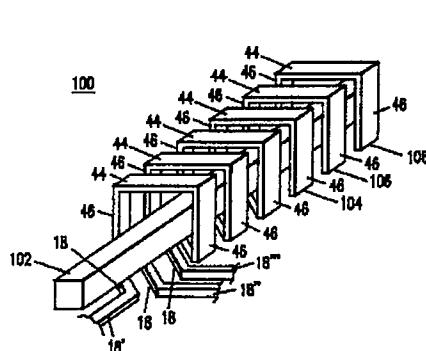
【图11】



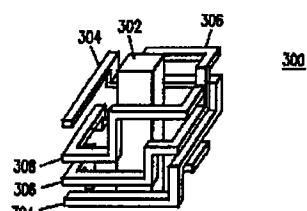
(图12)



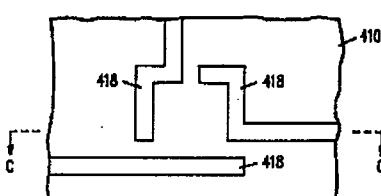
(图 13)



[図14]



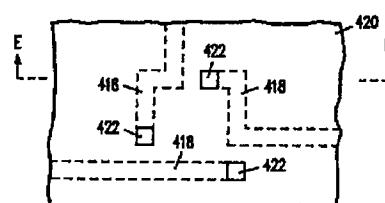
[図 16]



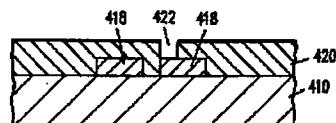
[图17]



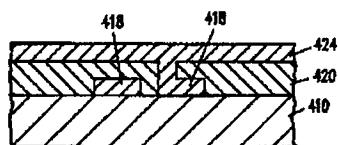
[图 18]



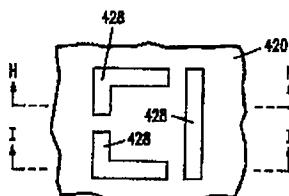
〔図19〕



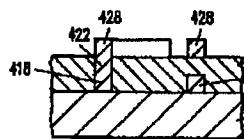
【図20】



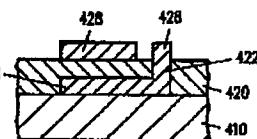
【図21】



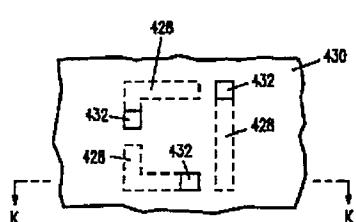
【図22】



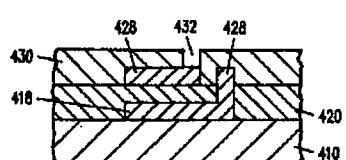
【図23】



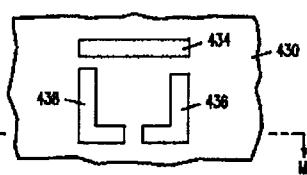
【図24】



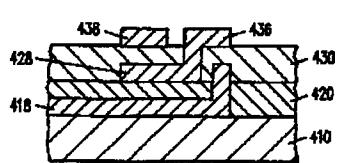
【図25】



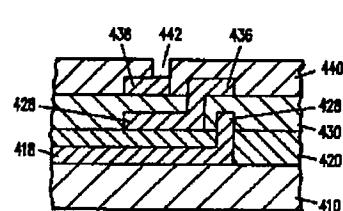
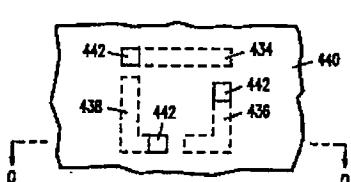
【図26】



【図27】

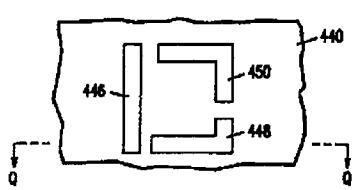


【図28】

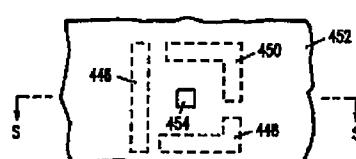
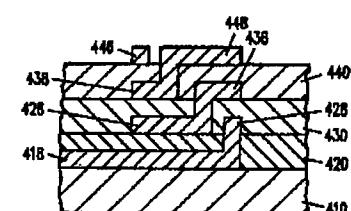


【図29】

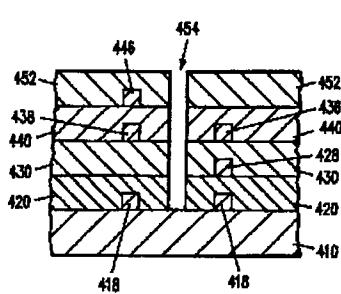
【図30】



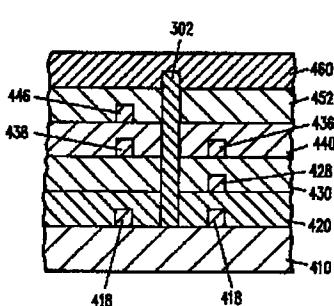
【図31】



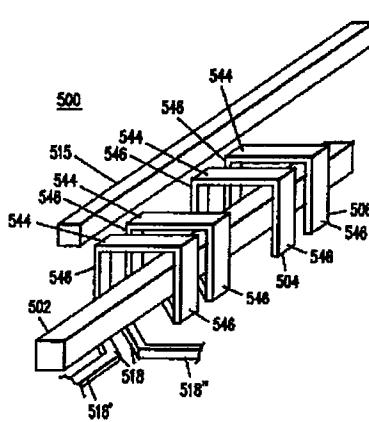
【図33】



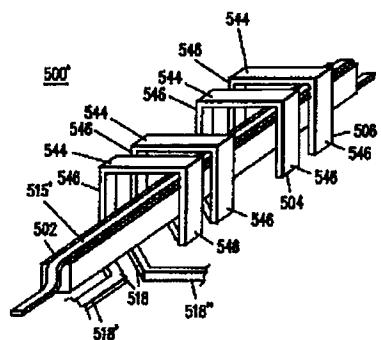
【図34】



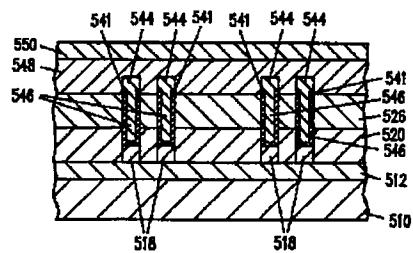
【図35】



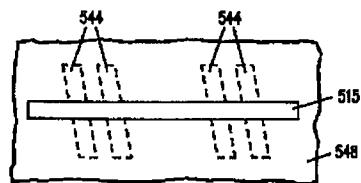
【図36】



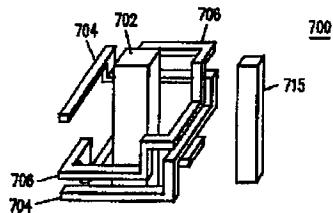
【図37】



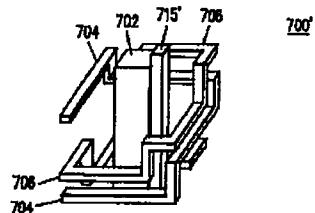
【図38】



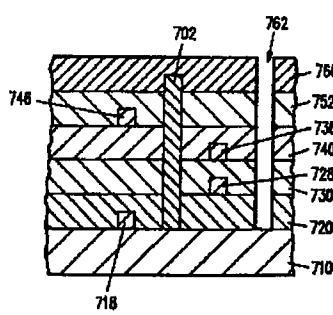
【図39】



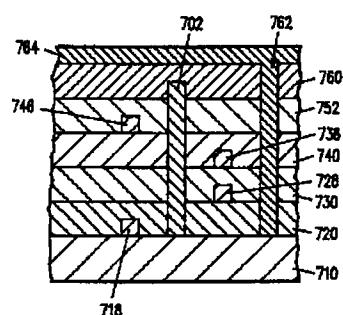
【図40】



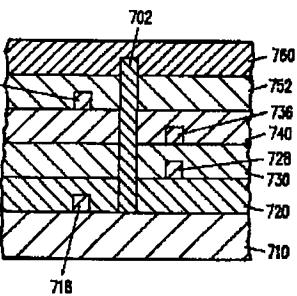
【図42】



【図43】



【図44】



フロントページの続き

(72)発明者 イルファン・サーダット

アメリカ合衆国カリフォルニア州95050サンタ・クララ, フィルモア・ストリート・

1926